

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-46216

(43) 公開日 平成9年(1997)2月14日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/0944			H 0 3 K 19/094	A
H 0 1 L 27/04		9199-5K	19/20	
	21/822		H 0 1 L 27/04	F
H 0 3 K 19/20				

審査請求 未請求 請求項の数7 F D (全 30 頁)

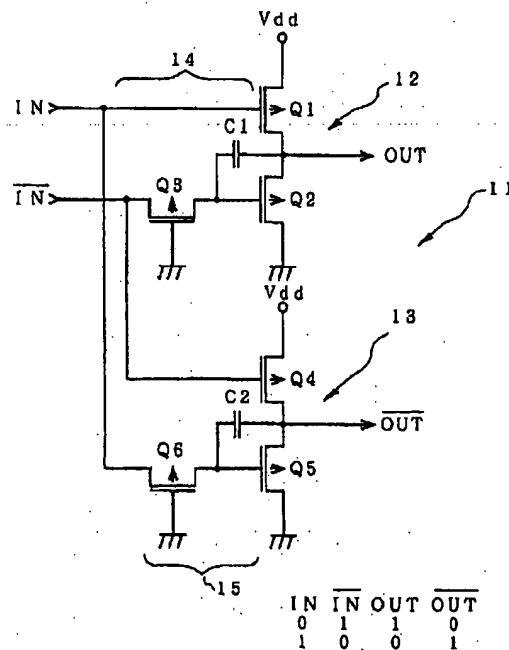
(21) 出願番号	特願平7-212929	(71) 出願人	000001443 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号
(22) 出願日	平成7年(1995)7月28日	(72) 発明者	両澤 克彦 東京都八王子市石川町2951番地5 カシオ 計算機株式会社八王子研究所内
		(74) 代理人	弁理士 荒船 博司

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 少ない製造工程数で形成して、低コスト化するとともに、高集積化が可能であり、リーク電流が小さく、適正な出力レベルが得られるようにする。

【解決手段】 pMOSトランジスタQ1とQ2のソース及びドレインは、電源とグラウンドとの間に直列に接続され、pMOSトランジスタQ1のゲートには、入力(IN)側から正論理又は負論理が印加され、pMOSトランジスタQ2のゲートには、反転入力($\overline{\text{IN}}$)側から入力(IN)を反転した論理が印加される。そして、その反転入力($\overline{\text{IN}}$)からpMOSトランジスタQ2のゲートに致る間に、pMOSトランジスタQ3のソース・ドレインを介在させ、そのpMOSトランジスタQ3の出力側とpMOSトランジスタQ2のゲートとの間と、pMOSトランジスタQ1とQ2の接続部との間にコンデンサC1を介在させたことにより、出力端部(OUT)からの出力レベルが適正化される。



1

【特許請求の範囲】

【請求項1】同一導電型のMOSトランジスタのソースもしくはドレインを電源からグラウンドに向かって少なくとも2個直列に接続した第1および第2のMOSトランジスタと、

その何れか一方のMOSトランジスタのゲートに正または負極性のゲート信号を入力する入力端部と、

他方のMOSトランジスタのゲートに前記入力端部とは逆極性のゲート信号を入力する反転入力端部と、

前記第1のMOSトランジスタと第2のMOSトランジスタの接続部から前記入力端部または反転入力端部からの入力信号の極性を反転させた出力信号を出力する出力端部と、

を備えたインバータ回路からなる半導体装置であって、前記インバータ回路の入力端部と反転入力端部の少なくとも一方とゲートとの間に前記出力端部から出力される出力レベルを補正するレベル補正回路を備えていることを特徴とする半導体装置。

【請求項2】同一導電型のMOSトランジスタを複数用いて複数の入力に対する論理演算を実行する論理回路と、

前記論理回路と同じ導電型のMOSトランジスタのソースもしくはドレインを電源からグラウンドに向かって少なくとも2個直列に接続し、その2個のMOSトランジスタの各ゲートに前記論理回路の出力部から論理出力がそれぞれ入力され、直列に接続された2個のMOSトランジスタの間の接続部の出力端部から論理演算結果を出力するインバータ回路と、

前記論理回路の出力部と前記インバータ回路のゲートとの間に設けられ、前記インバータ回路の出力端部から出力される出力レベルを補正するレベル補正回路と、を備えていることを特徴とする半導体装置。

【請求項3】前記論理回路は、論理積を実行する論理回路を含むことを特徴とする請求項2記載の半導体装置。

【請求項4】前記論理回路は、論理和を実行する論理回路を含むことを特徴とする請求項2記載の半導体装置。

【請求項5】前記論理回路は、排他的論理和を実行する論理回路を含むことを特徴とする請求項2記載の半導体装置。

【請求項6】前記レベル補正回路は、前記インバータ回路と同じ導電型のMOSトランジスタとコンデンサとで構成され、

前記レベル補正回路を構成するMOSトランジスタが、前記インバータ回路の少なくとも一方のMOSトランジスタのゲートと入力との間にソースとドレインを介して接続され、

前記レベル補正回路を構成するコンデンサの両端が、レベル補正回路のMOSトランジスタの出力側とゲートとの間と、前記インバータ回路の直列に接続された2個のMOSトランジスタの間の接続部との間に接続され、

2

前記インバータ回路のMOSトランジスタのゲート電位の変動を補償することを特徴とする請求項1から請求項5までの何れかに記載の半導体装置。

【請求項7】前記インバータ回路は、

前記論理回路に対して2組設けられ、

該論理回路から出力される逆極性の2つの論理出力に対して前記2組のインバータ回路の各MOSトランジスタのゲートへの接続位置が正反対になるように接続され、前記2組のインバータ回路からの出力が、当該論理回路の論理結果と、その否定とからなることを特徴とする請求項2から請求項6までの何れかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、詳細には、同じ導電型のMOSトランジスタからなる半導体装置に関する。

【0002】

【従来の技術】従来の半導体装置、例えば、薄膜トランジスタ(TFT:Thin Film Transistor)などからなる薄膜半導体装置は、AND(論理積)回路、NAND(否定的論理積)回路、OR(論理和)回路、NOR(否定的論理和)回路、EXOR(排他的論理和)回路、EXNOR(否定的排他的論理和)回路、あるいはINV(インバータ:否定)回路などの論理回路や種々の基本回路素子を構成することが可能である。そして、これらの基本回路を組み合わせて構成する装置には、例えば、全ての論理演算を行うことができる演算装置や、液晶表示ディスプレイなどの液晶駆動装置などがある。

【0003】上記したように、半導体装置を用いた従来の論理回路や種々の基本回路素子には、通常、pMOSトランジスタとnMOSトランジスタとを組み合わせたCMOS回路が用いられている。このCMOS回路は、低消費電力であって、適正な出力が得られることなどの利点があり、広く用いられている。

【0004】例えば、図14は、CMOSインバータ回路1の構成を示す図である。図14に示すように、CMOSインバータ回路1は、pMOS2とnMOS3の二種類のトランジスタを対にして用いている。このCMOSインバータ回路1は、IN(入力)が「0」のときにpMOS2がオンして電源(V_{dd})から「1」がOUT(出力)される。また、入力が「1」のときは、nMOS3がオンとなってグラウンドからの「0」が出力される。このように、CMOSインバータ回路1は、入力を反転したものが出力される。

【0005】また、これとは別に、pMOSもしくはnMOSの何れか一方のトランジスタを用いてインバータ回路を構成することも可能である。このインバータ回路には、比率形インバータ回路と無比率形インバータ回路とがあり、さらに、比率形インバータ回路の中には、抵抗負荷形、E/E形、E/D形などがある。

50

【0006】例えば、図15は、無比率形インバータ回路4の構成を示す図であり、ここでは2個のpMOS5とpMOS6とを使って構成している。この無比率形インバータ回路4は、同じ導電型（ここではp型）のMOSトランジスタで構成しているため、イオンドーピング工程をCMOSの場合に比べて少なくすることができる。

【0007】上記従来例では、インバータ回路を例にあげて説明したが、これ以外の論理回路として、AND・NAND回路、OR・NOR回路、EXOR・EXNOR回路等を構成する場合もCMOS等が使われていた。

【0008】

【発明が解決しようとする課題】しかしながら、このような従来の半導体装置にあっては、図14に示すCMOSインバータ回路1がpMOS2とnMOS3の二種類のトランジスタから構成されているため、CMOSインバータ回路を製造する際に、pMOSとnMOSの両方を作る必要があり、イオンドーピング工程が増加するとともに、マスク枚数も増えるため、製造コスト高くなるという問題があった。そこで、上記したCMOSを使わずに、pMOSもしくはnMOSの何れか一方のトランジスタのみを用いる無比率形インバータ回路とすることが考えられる。

【0009】しかし、この無比率形インバータ回路4は、図15に示すように、PMOS5のゲートに「0」が入力されると、PMOS5がオンして、電源から「1」が出力される。また、このときPMOS6のゲートには、「1」が入力されるため、PMOS6がオフして、電源からの電流はグラウンド側に流れない。

【0010】逆に、PMOS5のゲートに「1」が入力されると、PMOS5がオフし、また、PMOS6のゲートには、「0」が入力されるため、PMOS6がオンして、グラウンド電位の「0」が出力されるはずである。ところが、この出力されるロー側の「0」は、トランジスタのしきい値電圧分だけ上昇するため、グラウンド電位のように充分低い電位を出力することができないという問題がある。

【0011】そこで、本発明は、上記課題に鑑みてなされたものであって、pMOSあるいはnMOSのように同じ導電型のトランジスタで構成することにより、少ない製造工程で形成できるとともに、高集積化が可能であり、リーク電流が小さく、適正な出力レベルが得られる半導体装置を提供することを目的としている。

【0012】

【課題を解決するための手段】請求項1記載の半導体装置は、同一導電型のMOSトランジスタのソースもしくはドレインを電源からグラウンドに向かって少なくとも2個直列に接続した第1および第2のMOSトランジスタと、その何れか一方のMOSトランジスタのゲートに正または負極性のゲート信号を入力する入力端部と、他

方のMOSトランジスタのゲートに前記入力端部とは逆極性のゲート信号を入力する反転入力端部と、前記第1のMOSトランジスタと第2のMOSトランジスタの接続部から前記入力端部または反転入力端部からの入力信号の極性を反転させた出力信号を出力する出力端部と、を備えたインバータ回路からなる半導体装置であって、前記インバータ回路の入力端部と反転入力端部の少なくとも一方とゲートとの間に前記出力端部から出力される出力レベルを補正するレベル補正回路を備えていることにより、上記目的を達成する。

【0013】従って、前記インバータ回路のMOSトランジスタは、同一導電型であって、例えば、pMOSトランジスタのみで構成するようにしたため、半導体工程を使って基板上にインバータ回路を形成する際のイオンドーピング工程数やマスク枚数が、CMOSトランジスタの場合よりも少なくなり、製造コストを低減することができる。もちろん、pMOSトランジスタに代えて、nMOSトランジスタのみで構成することもできる。

【0014】また、前記インバータ回路は、レベル補正回路を備えているため、インバータ回路の出力端部から常に適正なレベルを出力できることから、このインバータ回路を組込んだ回路を構成しても誤動作等が発生せず、信頼性の高い回路とすることができる。

【0015】請求項2記載の半導体装置は、同一導電型のMOSトランジスタを複数用いて複数の入力に対する論理演算を実行する論理回路と、前記論理回路と同じ導電型のMOSトランジスタのソースもしくはドレインを電源からグラウンドに向かって少なくとも2個直列に接続し、その2個のMOSトランジスタの各ゲートに前記論理回路の出力部から論理出力がそれぞれ入力され、直列に接続された2個のMOSトランジスタの間の接続部の出力端部から論理演算結果を出力するインバータ回路と、前記論理回路の出力部と前記インバータ回路のゲートとの間に設けられ、前記インバータ回路の出力端部から出力される出力レベルを補正するレベル補正回路と、を備えていることにより、上記目的を達成する。

【0016】従って、前記論理演算を実行する論理回路は、その出力段にインバータ回路を設けて論理出力の出力レベルを適正化するとともに、そのインバータ回路のゲート部分にレベル補正回路を設けて、インバータ回路から出力される出力レベルを補正することで、適正な出力レベルが得られることから、この論理回路を組込んだ回路を構成しても誤動作等が発生せず、信頼性の高い回路とすることができる。

【0017】また、上記論理回路を構成するMOSトランジスタは、同一導電型の、例えば、pMOSトランジスタのみで構成するようにしたため、イオンドーピング工程数やマスク枚数が少なくて済み、製造コストを低減することができる。もちろん、この場合もpMOSトランジスタに代えて、nMOSトランジスタのみで構成す

ることもできる。

【0018】請求項3記載の半導体装置の論理回路は、論理積を実行する論理回路を含むようにしてもよい。従って、論理積を実行する論理回路、すなわち、AND回路では、その出力段にインバータ回路を設けることにより論理積の出力レベルが適正化され、そのインバータ回路のゲート部分にはレベル補正回路を設けて、インバータ回路から出力される出力レベルを補正することにより、適正な論理積の出力レベルが得られることから、このAND回路を組込んだ回路を構成しても誤動作等が発生せず、信頼性の高い回路とすることができる。

【0019】請求項4記載の半導体装置の論理回路は、論理和を実行する論理回路を含むようにしてもよい。従って、論理和を実行する論理回路、すなわち、OR回路では、その出力段にインバータ回路を設けることにより論理和の出力レベルが適正化され、そのインバータ回路のゲート部分にはレベル補正回路を設けて、インバータ回路から出力される出力レベルを補正することにより、適正な論理和の出力レベルが得られることから、このOR回路を組込んだ回路を構成しても誤動作等が発生せず、信頼性の高い回路とすることができる。

【0020】請求項5記載の半導体装置の論理回路は、排他的論理和を実行する論理回路を含むようにしてもよい。従って、排他的論理和を実行する論理回路、すなわち、EXOR回路では、その出力段にインバータ回路を設けることにより排他的論理和の出力レベルが適正化され、そのインバータ回路のゲート部分にはレベル補正回路を設けて、インバータ回路から出力される出力レベルを補正することにより、適正な排他的論理和の出力レベルが得られることから、このEXOR回路を組込んだ回路を構成しても誤動作等が発生せず、信頼性の高い回路とすることができる。

【0021】請求項1から請求項5の何れかに記載の半導体装置は、例えば、請求項6に記載されているように、前記レベル補正回路は、前記インバータ回路と同じ導電型のMOSトランジスタとコンデンサとで構成され、前記レベル補正回路を構成するMOSトランジスタが、前記インバータ回路の少なくとも一方のMOSトランジスタのゲートと入力との間にソースとドレインを介して接続され、前記レベル補正回路を構成するコンデンサの両端が、レベル補正回路のMOSトランジスタの出力側とゲートとの間と、前記インバータ回路の直列に接続された2個のMOSトランジスタの間の接続部との間に接続され、前記インバータ回路のMOSトランジスタのゲート電位の変動を補償するようにしてもよい。

【0022】従って、前記レベル補正回路は、インバータ回路のゲート容量をMOSトランジスタとコンデンサとを使って増大させて、インバータ回路を構成するMOSトランジスタのゲート電位の変動を補償する、いわゆる、ブートストラップ法を採用することにより、インバ

ータ回路から適正な出力レベルを得ることができる。

【0023】また、前記レベル補正回路は、論理回路やインバータ回路と同じ導電型の、例えば、pMOSトランジスタを用いており、全てのMOSトランジスタを同一導電型に統一することが可能なため、イオンドーピング工程数やマスク枚数が少なくなり、製造コストを低減することができる。もちろん、pMOSトランジスタに代えて、nMOSトランジスタとしてもよい。

【0024】請求項2から請求項6の何れかに記載の半導体装置は、例えば、請求項7に記載されているように、前記インバータ回路は、前記論理回路に対して2組設けられ、該論理回路から出力される逆極性の2つの論理出力に対して前記2組のインバータ回路の各MOSトランジスタのゲートへの接続位置が正反対になるように接続され、前記2組のインバータ回路からの出力が、当該論理回路の論理結果と、その否定とからなるようにしてもよい。

【0025】従って、各論理回路は、インバータ回路を1組追加するだけで、AND回路とNAND回路、OR回路とNOR回路、EXOR回路とEXNOR回路の2つの論理回路を合わせ持つことができ、その場合も、同一導電型のMOSトランジスタで構成できるとともに、適正な出力レベルを得ることができる。

【0026】

【発明の実施の形態】以下、本発明に係る半導体装置の実施の形態を図面に基づいて説明する。図1～図13は、本発明の半導体装置の実施の形態例を示す図であり、ここでは、半導体装置に用いる同一導電型のトランジスタとしてpMOSトランジスタのみを使って実施したものである。

【0027】（第1の実施の形態）図1は、第1の実施の形態に係るpMOSインバータ回路11の構成を示す図であり、図2は、図1のpMOSインバータ回路11のシンボルとその入出力信号とを示す図である。まず、構成を説明する。図1に示すpMOSインバータ回路11は、2つのインバータ回路12および13とから構成されている。

【0028】インバータ回路12は、電源（V_{dd}）からグラウンド（GND）に向かってpMOSトランジスタQ1とQ2のソースもしくはドレインを直列に接続し、pMOSトランジスタQ1のゲートに入力端子（IN）からの入力信号が入力され、pMOSトランジスタQ2のゲートに反転入力端子（ $\overline{\text{IN}}$ ）からの入力信号が入力されるように接続されている。そして、本第1の実施の形態の特徴は、pMOSトランジスタQ2のゲート側にゲート電位の変動を補償して出力レベルを補正するレベル補正回路14を付加したことにある。

【0029】このレベル補正回路14は、前記インバータ回路12がpMOSトランジスタのみで構成されていることから、pMOSトランジスタQ2をオンしてグラ

ウンドレベル「0」を出力する際に、出力レベルがトランジスタのしきい値電圧分だけ上昇するため、これを補正することで充分低いグラウンド電位を出力するようにしたものである。具体的には、図1に示すように、pMOSトランジスタQ2のゲートと反転入力端部（ \neg IN）との間に、ゲートがグラウンドに接地されたpMOSトランジスタQ3のソースおよびドレインが接続され、さらに、そのpMOSトランジスタQ3の出力側と、前記pMOSトランジスタQ1とQ2の接続部との間に、コンデンサC1を接続するようにしたブートストラップ法を採用している。

【0030】このように、レベル補正回路14は、pMOSトランジスタQ3とコンデンサC1を使うことにより、pMOSトランジスタQ2のゲート容量が大きくなって、pMOSトランジスタQ2を確実にオンさせるためのゲート電位が保持されることから、MOSトランジスタのしきい値電圧分だけ出力レベルが上昇することがなくなり、充分に低いグラウンド電位が出力できるようになった。

【0031】また、インバータ回路13は、インバータ回路12と同様にpMOSトランジスタQ4とQ5とで構成されており、さらに、pMOSトランジスタQ6とコンデンサC2とでレベル補正回路15が構成されている。インバータ回路12と異なる点は、入力端部（IN）と反転入力端部（ \neg IN）とがインバータ回路13のpMOSトランジスタQ4とQ5のゲートに対して逆に接続されていることにある。このため、インバータ回路13の出力は、インバータ回路12から出力される論理の否定が出力される。すなわち、インバータ回路12の出力端部（OUT）からは、入力端部（IN）から入力される信号の極性を反転させた信号が出力され、インバータ回路13の反転出力端部（ \neg OUT）からは、反転入力端部（IN）から入力される信号の極性を反転させた信号が出力されることになる。

【0032】図1で説明したpMOSインバータ回路11のシンボルは、図2のようになり、その入力端部（IN）から入力される論理の否定が出力端部（OUT）から出力され、また、反転入力端部（ \neg IN）から入力される論理の否定が反転出力端部（ \neg OUT）から出力される。

【0033】また、本第1の実施の形態に係るpMOSインバータ回路11では、インバータ回路12、13と、そのレベル補正回路14、15とに用いるトランジスタをpMOSトランジスタのみで構成したため、半導体工程を使って基板上にインバータ回路を形成する場合、イオンドーピング工程数やマスク枚数が少なくなつて、製造工程が簡略化されることにより、製造コストを低減することができる。

【0034】なお、本実施の形態で使用したpMOSトランジスタは、例えば、トランジスタサイズがL（チャ

ネル長）＝4 μ m、W（チャネル幅）＝4 μ m、しきい値電圧が－3V、電界効果移動度が40cm²/V・S、ゲート電極容量が1.22 $\times 10^{-14}$ F、S/D（ソース/ドレイン）抵抗が200 Ω 、基板電圧が電源電圧（V_{dd}）と等電位のものを使用している。また、基本回路に用いたコンデンサは、0.2pFの容量のものを使用している。

【0035】また、上記したpMOSインバータ回路11では、使用するMOSトランジスタにpMOSトランジスタのみを使って構成したが、これに限定されず、pMOSトランジスタに代えてnMOSトランジスタを用いて回路を構成した場合でも、同様の効果が得られる。

【0036】次に、動作を説明する。pMOSインバータ回路11は、例えば、入力端部（IN）に負論理「0」が入力され、反転入力端部（ \neg IN）に正論理「1」が入力されると、インバータ回路12のpMOSトランジスタQ1がオンして、電源V_{dd}から「1」が出力（OUT）され、pMOSトランジスタQ2はオフする。

【0037】逆に、インバータ回路13は、pMOSトランジスタQ4がオフし、pMOSトランジスタQ5がオンして、反転出力（ \neg OUT）としてグラウンドレベルの「0」が出力される。

【0038】さらに、上記pMOSインバータ回路11において、入力端部（IN）と反転入力端部（ \neg IN）の論理が上記と逆の場合は、出力端部（OUT）側から「0」が出力され、反転出力端部（ \neg OUT）側からは「1」が出力されることになる。このように、本実施の形態のpMOSインバータ回路11は、正論理・負論理の両方が入力および反転入力として入力されると、それらを否定した論理が出力端部および反転出力端部から出力される。

【0039】また、本実施の形態のpMOSインバータ回路11は、インバータ回路12のpMOSトランジスタQ2あるいはインバータ回路13のpMOSトランジスタQ5がオンした場合、グラウンドレベルが出力あるいは反転出力として出力される。このとき、本実施の形態では、図1に示すように、レベル補正回路14および15がpMOSトランジスタQ2およびQ5のゲート側に設けられているため、出力や反転出力としてローレベルを出力する際に、そのローレベルの上昇を防止することが可能となる。従って、本実施の形態のpMOSインバータ回路11は、常に適正なV_{dd}レベルの「1」とグラウンドレベルの「0」とを出力端部あるいは反転出力端部から出力することができる。

【0040】そして、上記した図1のpMOSインバータ回路11をシンボルで書き表したのが図2であり、入力端部（IN）から入力される信号の極性を反転させた信号が出力端部（OUT）から出力され、反転入力端部（ \neg IN）から入力される信号の極性を反転させた信号が

反転出力端子(OUT)から出力される。

【0041】(第2の実施の形態)図3は、第2の実施の形態に係るAND・NAND回路21の構成を示す図であり、図4は、図3のAND・NAND回路21のシンボルとその入出力信号とを示す図である。

【0042】まず、構成を説明する。図3に示すAND・NAND回路21は、インバータ回路22、23と、レベル補正回路24、25と、論理回路26とで構成されている。

【0043】論理回路26を構成する4個のpMOSトランジスタQ21～Q24は、バス・トランジスタ・ロジックを用いて4つの入力(a、 \bar{a} 、b、 \bar{b})に対する論理積とその否定とを生成するものである。すなわち、入力がa、b2つの場合は、その否定である反転a(\bar{a})と反転b(\bar{b})も入力される。そして、aの入力端子とグラウンドとの間には、pMOSトランジスタQ21とQ22とが直列に接続され、また、反転aの入力端子と電源(V_{dd})との間には、pMOSトランジスタQ23とQ24とが直列に接続されている。上記のpMOSトランジスタQ22とQ24のゲートには、b
20 が入力されてスイッチングが行われ、また、pMOSトランジスタQ21とQ23のゲートには、反転bが入力されてスイッチングが行われる。そして、上記した4個のpMOSトランジスタのスイッチングの結果に応じて、pMOSトランジスタQ21とQ22の接続部、およびpMOSトランジスタQ23とQ24の接続部からハイレベル「1」又はローレベル「0」の信号が出力される。

【0044】しかし、論理回路26は、上記のpMOSトランジスタQ21～Q24だけで構成すると、ローレベルを出力する際にトランジスタのしきい値電圧分だけ損失した出力レベルが出力される。このため、本実施の形態のAND・NAND回路21では、論理回路26の出力側にインバータ回路22、23を付加して、論理回路26の出力をインバータ回路22、23のゲートに印加し、各pMOSトランジスタをスイッチングさせることで、電源電位(V_{dd})あるいはグラウンド電位(GND)を出力するようにしたものである。

【0045】しかし、上記インバータ回路22、23は、pMOSトランジスタのみで構成されているため、図3のpMOSトランジスタQ27、30をオンさせてグラウンドレベル「0」を出力する場合、出力レベルがトランジスタのしきい値電圧分だけ上昇する。このため、本実施の形態では、さらにレベル補正回路24、25を設けて出力レベルの補正を行うことにより、十分に低いグラウンド電位を出力するようにしている。

【0046】本第2の実施の形態における具体的なレベル補正回路24の構成は、論理回路26からの一方の出力と、pMOSトランジスタQ27のゲートとの間に、ゲートがグラウンドに接地されたpMOSトランジスタ

Q25のソースおよびドレインが接続され、さらに、そのpMOSトランジスタQ25の出力側と、前記pMOSトランジスタQ26とQ27の接続部との間に、コンデンサC21を接続したブートストラップ法を採用している。

【0047】このように、レベル補正回路24は、pMOSトランジスタQ25とコンデンサC21とを付加したことにより、pMOSトランジスタQ27のゲート容量が大きくなって、pMOSトランジスタQ27が確実にオンするのに必要なゲート電位が保持されることから、MOSトランジスタのしきい値電圧分だけ出力レベルが上昇することが無くなり、十分に低いグラウンド電位に補正して出力することができる。

【0048】また、レベル補正回路25は、レベル補正回路24と同様に、pMOSトランジスタQ28とコンデンサC22とを使うことにより、pMOSトランジスタQ30のゲート容量を大きくして、pMOSトランジスタQ30を確実にオンするのに必要なゲート電位を保持するので、しきい値電圧分だけ出力レベルが上昇することが無くなり、充分低いグラウンド電位に補正して出力することができる。

【0049】上記のように構成されたAND・NAND回路21は、4つの入力(a、 \bar{a} 、b、 \bar{b})に対して、インバータ回路22からは論理積(AND)が、インバータ回路23からはその論理積の否定(NAND)が出力される。図3で説明したAND・NAND回路21のシンボルは、図4のようになり、そのa入力端子とb入力端子に対する、AND出力とNAND出力とが出力される。

【0050】また、本実施の形態に係るAND・NAND回路21は、インバータ回路22、23と、そのレベル補正回路24、25と、バス・トランジスタ・ロジックからなる論理回路26に用いるトランジスタをpMOSトランジスタのみで構成したため、半導体工程を使って基板上にAND・NAND回路を形成する場合、イオンドーピング工程数やマスク枚数が少なくて、製造工程が簡略化されることにより、製造コストを低減することができる。なお、上記AND・NAND回路21では、pMOSトランジスタを使って回路を構成しているが、このpMOSトランジスタの代わりにnMOSトランジスタを使って構成してもよい。

【0051】次に、動作を説明する。入力されるaが「0」(反転aは「1」)で、bが「0」(反転bは「1」)の場合は、図3に示すように、pMOSトランジスタのQ21とQ23がオフし、Q22とQ24がオンするため、インバータ回路22、23のpMOSトランジスタQ26とQ30はオフするが、pMOSトランジスタQ27とQ29がオンして、AND出力が「0」、NAND出力が「1」となる。

【0052】上記と同様に、入力されるaが「0」(反

11

転aは「1」)で、bが「1」(反転bは「0」)の場合は、AND出力が「0」、NAND出力が「1」となる。また、入力されるaが「1」(反転aは「0」)で、bが「0」(反転bは「1」)の場合は、AND出力が「0」、NAND出力が「1」となる。

【0053】さらに、入力されるaが「1」(反転aは「0」)で、bが「1」(反転bは「0」)の場合は、AND出力が「1」、NAND出力が「0」となる。このように、本実施の形態のAND・NAND回路21は、a、bの入力に対する論理積と否定的論理積とがインバータ回路22、23からそれぞれ出力される。

【0054】そして、本実施の形態のAND・NAND回路21は、インバータ回路22、23のpMOSトランジスタQ27あるいはQ30がオンした場合、グラウンドレベルをAND出力あるいはNAND出力として出力する。このとき、本実施の形態では、図3に示すように、レベル補正回路24および25がpMOSトランジスタQ27およびQ30のゲート側に設けられているため、AND出力やNAND出力としてローレベルを出力する際に、そのローレベルの上昇を防止することができる。従って、本実施の形態に係るAND・NAND回路21は、常に適正なV_{dd}レベルの「1」とグラウンドレベルの「0」とをAND出力あるいはNAND出力として出力することができる。

【0055】そして、上記図3で説明したAND・NAND回路21は、シンボルで書き表すと図4のようになり、2つの入力(a、b)に対して、AND・NAND回路21の出力側から論理積(AND)と、その論理積の否定(NAND)とが出力されている。

【0056】(第3の実施の形態)図5は、第3の実施の形態に係るOR・NOR回路31の構成を示す図であり、図6は、図5のOR・NOR回路31のシンボルとその入出力信号とを示す図である。

【0057】まず、構成を説明する。図5に示すOR・NOR回路31は、インバータ回路32、33と、レベル補正回路34、35と、論理回路36とで構成されている。

【0058】論理回路36を構成する4個のpMOSトランジスタQ31~Q34は、バス・トランジスタ・ロジックを用いて4つの入力(a、 \neg a、b、 \neg b)に対する論理和とその否定とを生成するものである。すなわち、入力がa、b2つの場合は、その否定である反転a(\neg a)と反転b(\neg b)も入力される。そして、反転aの入力端部とグラウンドとの間には、pMOSトランジスタQ31とQ32とが直列に接続され、また、aの入力端部と電源(V_{dd})との間には、pMOSトランジスタQ33とQ34とが直列に接続されている。上記のpMOSトランジスタQ32とQ34のゲートには反転bが入力されてスイッチングが行われ、また、pMOSトランジスタQ31とQ33のゲートにはbが入力され

12

てスイッチングが行われる。そして、上記4つのMOSトランジスタのスイッチングの結果に応じて、pMOSトランジスタQ31とQ32の接続部、およびpMOSトランジスタQ33とQ34の接続部からハイレベル「1」又はローレベル「0」の信号が出力される。

【0059】しかし、論理回路36は、上記のpMOSトランジスタQ31~Q34だけで構成すると、ローレベルを出力する際にトランジスタのしきい値電圧分だけ損失した出力レベルが出力される。このため、本実施の形態のOR・NOR回路31では、論理回路36の出力側にインバータ回路32、33を付加して、論理回路36の出力をインバータ回路32、33のゲートに印加し、各pMOSトランジスタをスイッチングさせることで、電源電位(V_{dd})あるいはグラウンド電位(GND)を出力するようにしたものである。

【0060】しかし、上記インバータ回路32、33は、pMOSトランジスタのみで構成されているため、図5のpMOSトランジスタQ37、40をオンさせてグラウンドレベル「0」を出力する場合、出力レベルがトランジスタのしきい値電圧分だけ上昇する。このため、本実施の形態では、さらにレベル補正回路34、35を設けて出力レベルの補正を行うことにより、十分に低いグラウンド電位を出力するようにしている。

【0061】本第3の実施の形態における具体的なレベル補正回路34の構成は、論理回路36からの一方の出力とpMOSトランジスタQ37のゲートとの間に、ゲートがグラウンドに接地されたpMOSトランジスタQ35のソースおよびドレインが接続され、さらに、そのpMOSトランジスタQ35の出力側と、前記pMOSトランジスタQ36とQ37の間の接続部との間にコンデンサC31を接続したブートストラップ法を採用している。

【0062】従って、レベル補正回路34では、pMOSトランジスタQ35とコンデンサC31とを使うことにより、pMOSトランジスタQ37のゲート容量が大きくなって、pMOSトランジスタQ37を確実にオンさせるためのゲート電位が保持されることがから、出力レベルがしきい値電圧分だけ上昇することが無くなり、十分に低いグラウンド電位にレベルを補正して出力することができる。

【0063】また、レベル補正回路35では、レベル補正回路34と同様にpMOSトランジスタQ40のゲート容量を大きくして、pMOSトランジスタQ40を確実にオンさせるためのゲート電位が保持されるため、出力レベルが補正されて適正なレベルを出力することができる。

【0064】上記のように構成されたOR・NOR回路31は、4つの入力(a、 \neg a、b、 \neg b)に対して、インバータ回路32からは論理和(OR)が、インバータ回路33からはその論理和の否定(NOR)が出力さ

れる。図5で説明したOR・NOR回路31のシンボルは、図6のようになり、そのa入力端部とb入力端部に対する、OR出力とNOR出力とが出力される。

【0065】また、本実施の形態に係るOR・NOR回路31は、インバータ回路32、33と、そのレベル補正回路34、35と、バス・トランジスタ・ロジックからなる論理回路36に用いるトランジスタをpMOSTトランジスタのみで構成したため、半導体工程を使って基板上にインバータ回路を形成する場合、イオンドーピング工程数やマスク枚数が少なくなって、製造工程が簡略化されることにより、製造コストを低減することができる。なお、上記OR・NOR回路31では、pMOSTトランジスタを使って回路を構成したが、このpMOSTトランジスタの代わりにnMOSTトランジスタを使って構成してもよい。

【0066】次に、動作を説明する。入力されるaが「0」（反転aは「1」）で、bが「0」（反転bは「1」）の場合は、図5に示すように、pMOSTトランジスタのQ32とQ34がオフし、Q31とQ33がオンするため、インバータ回路32、33のpMOSTトランジスタQ36とQ40はオフするが、pMOSTトランジスタQ37とQ39がオンして、OR出力が「0」、NOR出力が「1」となる。

【0067】上記と同様に、入力されるaが「0」（反転aは「1」）で、bが「1」（反転bは「0」）の場合は、OR出力が「1」、NOR出力が「0」となる。また、入力されるaが「1」（反転aは「0」）で、bが「0」（反転bは「1」）の場合は、OR出力が「1」、NOR出力が「0」となる。

【0068】さらに、入力されるaが「1」（反転aは「0」）で、bが「1」（反転bは「0」）の場合は、OR出力が「1」、NOR出力が「0」となる。このように、本実施の形態のOR・NOR回路31は、a、bの入力に対する論理和がOR出力端部から出力され、それを否定した否定的論理和がNOR出力端部からそれぞれ出力される。

【0069】そして、本実施の形態のOR・NOR回路31は、インバータ回路32、33のpMOSTトランジスタQ37あるいはQ40がオンした場合、グラウンドレベルがOR出力あるいはNOR出力として出力する。このとき、本実施の形態では、図5に示すように、レベル補正回路34および35がpMOSTトランジスタQ37およびQ40のゲート側に設けられているため、OR出力やNOR出力としてローレベルを出力する際に、そのローレベルの上昇を防止することができる。従って、本実施の形態に係るOR・NOR回路31は、常に適正なV_{dd}レベルの「1」とグラウンドレベルの「0」とをOR出力あるいはNOR出力として出力することができる。

【0070】そして、上記図5で説明したOR・NOR

回路31は、シンボルで書き表すと図6のようになり、2つの入力（a、b）に対して、OR・NOR回路31の出力側から論理和（OR）と、その論理和の否定（NOR）とが出力されている。

【0071】（第4の実施の形態）図7は、第4の実施の形態に係るEXOR・EXNOR回路41の構成を示す図であり、図8は、図7のEXOR・EXNOR回路41のシンボルとその入出力信号とを示す図である。

【0072】まず、構成を説明する。図7に示すEXOR・EXNOR回路41は、インバータ回路42、43と、レベル補正回路44、45と、論理回路46とで構成されている。論理回路46を構成する4個のpMOSTトランジスタQ41～Q44は、バス・トランジスタ・ロジックを用いて4つの入力（a、 $\neg a$ 、b、 $\neg b$ ）に対する排他的論理和（EXOR）とその否定（EXNOR）とを生成するものである。すなわち、入力がa、b 2つの場合は、その否定である反転a（ $\neg a$ ）と反転b（ $\neg b$ ）も入力される。

【0073】そして、反転bの入力は、pMOSTトランジスタQ41を介して次段のレベル補正回路44に入力され、また、bの入力は、pMOSTトランジスタQ42を介して次段のレベル補正回路45に入力されるとともに、前記pMOSTトランジスタQ41の入力側からpMOSTトランジスタQ43を介して前記pMOSTトランジスタQ42の出力側に接続され、また、前記pMOSTトランジスタQ42の入力側からpMOSTトランジスタQ44を介して前記pMOSTトランジスタQ41の出力側に接続されている。

【0074】上記のpMOSTトランジスタQ41とQ42のゲートには、反転aが入力されてスイッチングを行い、pMOSTトランジスタQ43とQ44のゲートには、aが入力されてスイッチングを行うことにより、排他的論理和の論理回路46を構成している。そして、上記MOSTトランジスタのスイッチング結果に応じて、レベル補正回路44と45にハイレベル「1」又はローレベル「0」の信号が出力される。

【0075】しかし、論理回路46は、上記のpMOSTトランジスタQ41～Q44だけで構成すると、ローレベルを出力する際に、トランジスタのしきい値電圧分だけ損失した出力レベルが出力される。このため、本実施の形態のEXOR・EXNOR回路41では、論理回路46の出力側にインバータ回路42、43を付加して、論理回路46の出力をインバータ回路42、43のゲートに印加し、各pMOSTトランジスタをスイッチングさせることで、電源電位（V_{dd}）あるいはグラウンド電位（GND）を出力するようにしたものである。

【0076】しかし、上記インバータ回路32、33は、pMOSTトランジスタのみで構成されているため、図7のpMOSTトランジスタQ47とQ50をオンさせてグラウンドレベル「0」を出力する場合、出力レベル

がトランジスタのしきい値電圧分だけ上昇する。このため、本実施の形態では、さらにレベル補正回路44、45を設けて出力レベルの補正を行うことにより、充分に低いグラウンド電位を出力するようにしている。

【0077】本第4の実施の形態における具体的なレベル補正回路44の構成は、論理回路46からの一方の出力とpMOSトランジスタQ47のゲートとの間に、ゲートがグラウンドに接地されたpMOSトランジスタQ45のソースおよびドレインが接続され、さらに、そのpMOSトランジスタQ45の出力側と、前記pMOSトランジスタQ48とQ47の間の接続部との間にコンデンサC41を接続したブートストラップ法を採用している。

【0078】従って、レベル補正回路44では、pMOSトランジスタQ45とコンデンサC41とを使うことにより、pMOSトランジスタQ47のゲート容量が大きくなって、pMOSトランジスタQ47を確実にオンさせるためのゲート電位が保持されることから、出力レベルがしきい値電圧分だけ上昇することがなくなり、充分に低いグラウンド電位にレベルを補正して出力することができる。

【0079】また、レベル補正回路45では、レベル補正回路44と同様にpMOSトランジスタQ50のゲート容量が大きくなって、pMOSトランジスタQ50を確実にオンさせるためのゲート電位が保持されるため、出力レベルが補正されて適正なレベルを出力することができる。

【0080】上記のように構成されたEXOR・EXNOR回路41は、4つの入力(a、 $\neg a$ 、b、 $\neg b$)に対して、インバータ回路42からは排他的論理和(EXOR)が、インバータ回路43からは否定的排他的論理和(EXNOR)が出力される。

【0081】図7で説明したEXOR・EXNOR回路41のシンボルは、図8のようになり、a入力端部とb入力端部に対する、EXOR出力とEXNOR出力とが出力される。また、本実施の形態に係るEXOR・EXNOR回路41は、インバータ回路42、43と、そのレベル補正回路44、45と、パス・トランジスタ・ロジックからなる論理回路46に用いるトランジスタをpMOSトランジスタのみで構成したため、半導体工程を使って基板上にインバータ回路を形成する場合、イオンドーピング工程数やマスク枚数が少なくなつて、製造工程が簡略化されることにより、製造コストを低減することができる。

【0082】なお、上記EXOR・EXNOR回路41では、pMOSトランジスタを使って回路を構成したが、このpMOSトランジスタの代わりにnMOSトランジスタを使って構成してもよい。

【0083】次に、動作を説明する。入力されるaが「0」(反転aは「1」)で、bが「0」(反転bは

「1」)の場合は、図7に示すように、pMOSトランジスタのQ41とQ42がオフし、Q43とQ44がオンするため、インバータ回路42、43のpMOSトランジスタQ36とQ40はオフするが、pMOSトランジスタQ47とQ49がオンして、EXOR出力が「0」、EXNOR出力が「1」となる。

【0084】上記と同様に、入力されるaが「0」(反転aは「1」)で、bが「1」(反転bは「0」)の場合は、EXOR出力が「1」、EXNOR出力が「0」となる。また、入力されるaが「1」(反転aは「0」)で、bが「0」(反転bは「1」)の場合は、EXOR出力が「1」、EXNOR出力が「0」となる。

【0085】さらに、入力されるaが「1」(反転aは「0」)で、bが「1」(反転bは「0」)の場合は、EXOR出力が「0」、EXNOR出力が「1」となる。このように、本実施の形態のEXOR・EXNOR回路41は、a、bの入力に対する排他的論理和がEXOR出力端部から出力され、それを否定した否定的排他的論理和がEXNOR出力端部からそれぞれ出力される。

【0086】また、本実施の形態のEXOR・EXNOR回路41は、インバータ回路42および43のpMOSトランジスタQ47あるいはpMOSトランジスタQ50がオンした場合、グラウンドレベルがOR出力あるいはNOR出力として出力される。このとき、本実施の形態では、図5に示すように、レベル補正回路44および45がpMOSトランジスタQ47およびQ50のゲート側に設けられているため、EXOR出力やEXNOR出力としてローレベルを出力する際に、そのローレベルの上昇を防止することができる。従って、本実施の形態のEXOR・EXNOR回路41は、常に適正なV_{dd}レベルの「1」とグラウンドレベルの「0」とをEXOR出力あるいはEXNOR出力として出力される。

【0087】そして、上記した図7のEXOR・EXNOR回路41をシンボルで書き表すと図8のようになり、2つの入力(a、b)に対して、EXOR・EXNOR回路41からは排他的論理和(EXOR)と、その排他的論理和の否定(EXNOR)とが出力される。

【0088】以上述べたように、上記第1～第4までの実施の形態では、インバータ回路にレベル補正回路を付加した4種類の基本的な論理回路と、その否定回路の構成を説明したが、これらの論理回路同士を組み合わせることによって、16個のブール代数を全て演算することが可能となる。

【0089】また、インバータ回路にレベル補正回路を付加した上記実施の形態で説明した回路構成は、論理回路以外の基本回路として、例えば、ラッチ回路やトライステート回路等を構成することができる。そこで、以下の第5の実施の形態ではラッチ回路の構成例を、また、

第6の実施の形態ではトライステート回路の構成例を説明する。

【0090】(第5の実施の形態)図9は、第5の実施の形態に係るラッチ回路51の構成を示す図である。まず、構成を説明する。図9に示すラッチ回路51は、図1で説明した第1の実施の形態に係るpMOSインバータ回路11の構成に対して、その入力側からの入力信号を制御する入力信号制御部56と、出力側から入力側に出力信号をフィードバックさせるフィードバック信号制御部57とを加えて構成したものである。

【0091】そこで、図1のpMOSインバータ回路11に相当する部分の構成は、図9に示すように、各pMOSトランジスタではQ1→Q56、Q2→Q57、Q3→Q55、Q4→Q59、Q5→Q60、Q6→Q58にそれぞれ相当し、コンデンサではC1→C51、C2→C52にそれぞれ相当し、2組のインバータ回路52、53とそのレベル補正回路54、55とを構成している。

【0092】そして、上記2組のインバータ回路52、53を構成するpMOSTランジスタの各ゲートと入力端部(I)および反転入力端部(¬I)との間には、入力信号を制御する入力信号制御部56が設けられている。この入力信号制御部56は、スイッチング素子であるpMOSTランジスタQ51とQ52とで構成されており、このpMOSTランジスタQ51、Q52のゲートには、スイッチングさせるための反転クロック信号(¬clk)が反転制御信号入力端部(¬L)から入力される。

【0093】また、インバータ回路52、53の出力側と入力側との間には、フィードバック信号制御部57が設けられ、フィードバックループとpMOSTランジスタQ53、Q54とで構成されている。

【0094】すなわち、インバータ回路52の出力端部(¬O)からの出力(¬OUT)は、フィードバックループによって上記したpMOSTランジスタQ52のドレイン側に、スイッチング素子であるpMOSTランジスタQ54を介して接続され、また、インバータ回路53の出力端部(O)からの出力(OUT)は、フィードバックループによって上記したpMOSTランジスタQ51のドレイン側に、スイッチング素子であるpMOST

トランジスタQ53を介して接続されている。

【0095】そして、上記したpMOSTランジスタQ53とQ54のゲートには、スイッチングを制御するためのクロック信号(clk)が制御信号入力端部(L)から入力されるように構成されている。このように、図9に示すラッチ回路51は、図1に示すインバータ回路に4個のpMOSTランジスタQ51～Q54を新たに付加したものである。そして、pMOSTランジスタQ51～Q54は、外部からの反転制御信号入力端部(¬L)および制御信号入力端部(L)からの制御信号によ

って、ラッチ回路51をスルー動作させるかラッチ動作させるかを切換えるものである。

【0096】次に、動作を説明する。図9に示すラッチ回路51は、制御信号入力端部(L)に入力されるクロック信号(clk)がハイ「1」で、反転制御信号入力端部(¬L)の反転クロック信号(¬clk)がロー「0」の場合は、スルー状態となり、逆に、制御信号入力端部(L)に入力されるクロック信号(clk)がロー「0」で、反転制御信号入力端部(¬L)の反転クロック信号(¬clk)がハイ「1」の場合は、ラッチ状態となる。

【0097】上記したスルー状態とは、入力端部(I)からの入力信号(IN)がそのまま出力端部(O)の出力信号(OUT)として出力され、反転入力端部(¬I)からの反転入力信号(¬IN)がそのまま反転出力端部(¬O)の反転出力信号(¬OUT)として出力される状態をいう。また、上記したラッチ状態とは、ラッチ前の出力状態を保持することをいう。

【0098】具体的には、図9に示すように、クロック信号(clk)がハイ「1」で、反転クロック信号(¬clk)がロー「0」の場合は、スルー状態となり、pMOSTランジスタQ53とQ54はオフし、pMOSTランジスタQ51とQ52はオンとなる。

【0099】このため、入力信号(IN)が「0」で、反転入力信号(¬IN)が「1」の場合は、pMOSTランジスタQ57とQ59がオフし、pMOSTランジスタQ56とQ60がオンするため、そのまま出力されるスルー状態となり、出力信号(OUT)に「0」が、反転出力信号(¬OUT)に「1」が出力される。

【0100】次に、クロック信号(clk)がロー「0」で、反転クロック信号(¬clk)がハイ「1」の場合は、ラッチ状態となり、図9のpMOSTランジスタQ53とQ54はオンし、pMOSTランジスタQ51とQ52はオフする。このため、入力端部(I)と反転入力端部(¬I)の入力信号に関わりなく、直前のスルー状態における出力信号(OUT)の「0」がpMOSTランジスタQ53を介して、pMOSTランジスタQ56とQ60とをオンさせ、反転出力信号(¬OUT)の「1」がpMOSTランジスタQ54を介して、pMOSTランジスタQ57とQ59とをオフするため、従前の出力状態が保持され、出力信号(IN)が「0」で反転入力信号(¬IN)の「1」がそのまま出力される。

【0101】このように、図9に示すラッチ回路は、4個のpMOSTランジスタQ51～Q54のゲートを外部からの制御信号に従って、スルー動作とラッチ動作の切換えを行っている。

【0102】また、上記実施の形態のラッチ回路51は、図9に示すように、インバータ回路52、53のpMOSTランジスタQ57、Q60のゲート部分に、p

10

20

30

40

50

MOSトランジスタQ55、Q58とコンデンサC51、C52とからなるレベル補正回路54、55がそれぞれ設けられているため、出力レベルの損失が無くなるとともに、直流的なリーク電流が無くなり、消費電力を低減化することができる。

【0103】さらに、上記実施の形態のラッチ回路51は、使用するMOSトランジスタを全て同一導電型のpMOSトランジスタで構成したため、半導体工程を用いて基板上に形成する際に、イオンドーピング工程数やマスク枚数が従来のCMOSを使った回路と比べて少くで

ることから、製造コストを低減することができる。【0104】なお、上記ラッチ回路51では、pMOSトランジスタで回路を構成したが、これに限定されるものではなく、pMOSトランジスタに代えてnMOSトランジスタで構成してもよい。

【0105】(第6の実施の形態)図10は、交流化電圧を生成するトライステート回路61の一構成例を示す図である。このトライステート回路61は、例えば、液晶駆動装置などで液晶を駆動する際に、液晶に直流電圧を印加すると液晶が劣化することから、交流化された駆

動電圧を生成する場合などに用いられる。【0106】まず、構成を説明する。図10に示すように、pMOSトランジスタQ61~Q68は、d、反転d(¬d)、WF、反転WF(¬WF)の4つの入力信号に基づいて、所定の論理を生成する論理回路66を構成している。そして、このトライステート回路61は、d、WFそれぞれに正論理・負論理を入力することにより、3種類の電源電圧VH、VC、VLを切換えて生成される交流化電圧が出力Dから出力するものである(但し、 $VH > VC > VL$)。ここでは、上記した実施の形態と同様にバス・トランジスタ・ロジックの手法を用いている。

【0107】そして、例えば、このトライステート回路61を液晶駆動装置に用いる場合は、上記入力信号のdが書き込みデータの有り/無し、すなわち、液晶を駆動するか/しないかを表し、WFが液晶駆動電圧の正/負を表すように用いることができる。

【0108】次に、論理回路66の出力側には、インバータ回路62、63が形成されている。例えば、このインバータ回路62は、電源(Vdd)からグラウンド(GND)に向かって、pMOSトランジスタQ71とQ70のソースもしくはドレインが直列に接続されていて、論理回路66からの出力がpMOSトランジスタQ71、Q70のゲートに入力されている。そして、本実施の形態では、インバータ回路62のpMOSトランジスタQ70のゲートと、論理回路66の所定の出力端部との間にゲートをグラウンドに接地したpMOSトランジスタQ69が接続され、そのpMOSトランジスタQ69の出力側と前記pMOSトランジスタQ71とQ70との接続部の間にコンデンサC61を接続してレベル補

正回路64を構成している。

【0109】また、インバータ回路63は、上記したインバータ回路62と同様にpMOSトランジスタQ74、Q73で構成されるとともに、レベル補正回路65がpMOSトランジスタQ72とコンデンサC62とで構成されている。このように、インバータ回路62、63のpMOSトランジスタのゲートには、レベル補正回路64、65が設けられたことにより、pMOSトランジスタQ70またはQ73のゲート容量が増大して確実にスイッチングが行われて、適正なローレベル「L」の信号を出力することができる。

【0110】そして、本実施の形態に係るトライステート回路61は、上記したインバータ回路62、63からの出力信号をpMOSトランジスタQ75、Q76のゲートにそれぞれ印加してスイッチングさせることにより、高電位の電源電圧VH、あるいは、低電位の電源電圧VLを選択的に出力端部Dから出力するとともに、中間電位の電源電圧VCは、pMOSトランジスタQ77がd入力によってスイッチングされて出力される。

【0111】本実施の形態では、上記構成に加えて、さらに、pMOSトランジスタQ75のゲートとグラウンドとの間にコンデンサC63を介して接続され、また、pMOSトランジスタQ76のゲートとグラウンドとの間にコンデンサC64を介して接続されている。このため、高電位(VH)と低電位(VL)の電源電圧に接続されたpMOSトランジスタQ75、Q76は、ゲート容量が増大することから、pMOSトランジスタQ75、Q76を確実にスイッチングすることが可能となり、電圧の上昇や電圧降下の無い適正なレベルの電源電圧VH、VLが出力される。

【0112】このように、本実施の形態のトライステート回路61は、論理回路66の出力側にインバータ回路62、63を設けたことにより、論理回路66の出力レベルが適正化される。特に、そのインバータ回路62、63がpMOSトランジスタで構成されている場合は、グラウンド側のpMOSトランジスタQ70やQ73側に、pMOSトランジスタQ69あるいはQ72と、コンデンサC61あるいはC62とからなるレベル補正回路64、65を設けることにより、pMOSトランジスタのしきい値電圧分だけ出力レベルが上昇することを防止することができる。さらに、本実施の形態に係るトライステート回路61は、上記インバータ回路62、63の出力が高電位(VH)と低電位(VL)の電源電圧に接続されたpMOSトランジスタQ75、Q76をスイッチングさせて選択出力するため、それらのゲート側にコンデンサC63、C64を設けてゲート容量を増大させ、適正なレベルの電源電圧VH、VLを出力するものである。

【0113】次に、動作について説明する。図10に示すトライステート回路61は、dとWFのそれぞれに正

論理・負論理の何れかを入力することにより、DからV_H、V_C、V_Lの何れかが選択的に出力される。実際には、入力d、WFを変化させることによって、V_H、V_C、V_Lからなる交流化信号が生成される。

【0114】まず、入力信号のdとWFが「0」の場合は、pMOSトランジスタQ75、Q76がオフとなり、pMOSトランジスタQ77がオンするため、Dから中間電位(V_C)が出力される。また、入力信号のdが「0」で、WFが「1」の場合も上記と同様にDから中間電位(V_C)が出力される。これは、dが「0」の場合、論理回路66のpMOSトランジスタQ61、Q63、Q65、Q67がオフするため、WFの入力信号に影響されことなくpMOSトランジスタQ77をオンして、DからV_Cが出力されることによる。

【0115】また、入力信号のdが「1」の場合は、スイッチングトランジスタのQ77がオフし、論理回路66のpMOSトランジスタQ62、Q64、Q66、Q68がオフするとともに、逆に、pMOSトランジスタQ61、Q63、Q65、Q67がオンする。このため、WFの入力信号に基づいてDからの出力電圧が変化

する。

【0116】そこで、WFが「0」の場合は、pMOSトランジスタQ76がオンしてQ75がオフするため、Dから低電位(V_L)が出力される。また、WFが「1」の場合は、pMOSトランジスタQ75がオンしてQ76がオフするため、Dから高電位(V_H)が出力される。

【0117】このように、本実施の形態のトライステート回路61は、pMOSトランジスタとコンデンサだけで構成できることから、構造が簡単となり、少ない工程数で製造できるため、低コスト化が図れる。

【0118】また、上記実施の形態のトライステート回路81は、インバータ回路82、83とレベル補正回路84、85とを用いることにより、pMOSトランジスタQ61～Q68で構成された論理回路66の出力レベルを補正するとともに、コンデンサC63、C64を設けてpMOSトランジスタQ75、Q76を確実にスイッチングさせることにより、適正なレベルの電源電圧V_H、V_Lを選択的に出力することができる。特に、pMOSトランジスタで構成されている場合は、ローレベルの出力電圧であるV_Lが充分下がりがきらないという問題を解決することができ、常に所定の電位まで確実に下がった状態の電圧レベルを出力することができるようになった。

【0119】なお、上記トライステート回路61では、pMOSトランジスタを使って回路構成したが、このpMOSトランジスタの代わりにnMOSトランジスタを使って構成してもよい。

【0120】(第7の実施の形態)図11は、本発明の半導体装置を適用した駆動回路一体型のTFT-LCD

71の概略構成図である。この駆動回路一体型TFT-LCD71は、LCD(Liquid Crystal Display)の表示領域において、ガラス基板上の各画素毎にスイッチング素子となるTFT(Thin Film Transistor)を形成するとともに、ドレインドライバ(データ線駆動回路)やゲートドライバ(走査線駆動回路)からなる液晶駆動回路をガラス基板上に一体形成したものである。

【0121】まず、構成を説明する。図11に示すように、駆動回路一体型TFT-LCD71は、ガラス基板72上の表示領域内の各画素毎にTFTを形成する液晶表示パネル(TFT-LCD)73と、その液晶表示パネル73の各TFTのゲートに走査信号を印加して選択状態と非選択状態を作り出すゲートドライバ74と、そのゲートドライバ74によって選択状態にしたTFTに表示信号を印加して各画素毎の液晶を駆動するドレインドライバ75とで構成されている。

【0122】上記した液晶表示パネル73、ゲートドライバ74およびドレインドライバ75は、ガラス基板72上に一体形成されている。図12は、図11に示すドレインドライバ75をpMOSトランジスタからなる論理回路とインバータ回路とレベル補正回路とを備えた上記ラッチ回路、AND・NAND回路、およびトライステート回路とで構成した部分回路図である。

【0123】図12に示すドレインドライバ75は、ラッチ回路81、82、83……、AND・NAND回路91、92……、ラッチ回路101、102……、ラッチ回路111、112、……、トライステート回路121、122……などで構成されている。

【0124】ラッチ回路81、82、83は、図示しないコントローラから入力される水平同期信号(X_{SC}L)と、反転水平同期信号(¬X_{SC}L)とが制御信号入力端子(L)と反転制御信号入力端子(¬L)とに1つ置きに逆の位相で入力されて、制御信号入力端子(L)に「1」が入ると入力信号をスルーで出力し、「0」が入ると従前の入力信号をラッチする。

【0125】ラッチ回路81への入力信号は、XDクロックと反転XDクロックが入力され、スルー状態とラッチ状態に応じた出力信号が出力端子(O)と反転出力端子(¬O)から出力され、AND・NAND回路91と次段のラッチ回路82の入力端子に入力される。同様に、ラッチ回路82の出力信号は、AND・NAND回路91と92および次段のラッチ回路83の入力端子に入力される。

【0126】そして、AND・NAND回路91は、上記ラッチ回路81の出力(OUT)とラッチ回路82の反転出力(¬OUT)とを入力して、論理積とその否定とをラッチ回路101の制御信号入力端子(L)と反転制御信号入力端子(¬L)とに入力する。AND・NAND回路92も同様に、ラッチ回路82の反転出力(¬OUT)とラッチ回路83の出力(OUT)とが入力さ

れて、論理積とその否定とがラッチ回路102の制御信号入力端部(L)と反転制御信号入力端部(¬L)に入力される。

【0127】ラッチ回路101とラッチ回路102は、上記したAND・NAND回路91と92からの出力信号のタイミングに応じて、図示しないデータ交換回路から入力される各画素毎のデータをラッチし、そのラッチしたデータをそれぞれ次段のラッチ回路111と112に出力する。ラッチ回路111と112は、クロックOPのタイミングで入力された各画素毎のデータをラッチして、その出力をそれぞれのトライステート回路121と122に出力する。

【0128】トライステート回路121と122は、上記したラッチ回路111と112からの入力信号と、交流化信号WFとの組み合わせによって、VH、VC、VLからなる3種類の電源電圧を適宜選択することにより、交流化された表示信号が生成される。トライステート回路121から出力される交流化された表示信号は、ドレインラインのD1に出力され、トライステート回路122から出力される交流化された表示信号は、ドレインラインのD2に出力される。

【0129】なお、図12は、2ライン分のドレインラインに供給するドレインドライバ75の一部の構成を説明したにすぎず、実際には上記各回路が水平走査方向に画素数に応じて連なって配置されている。これにより、各ドレインラインには、その位置に応じた表示信号を供給することができる。

【0130】上記したように、ラッチ回路、AND・NAND回路およびトライステート回路で構成されたドレインドライバ75は、pMOSトランジスタとコンデンサだけで構成することが可能なため、従来例のCMOSトランジスタで構成した場合と比べると、トランジスタ構造が簡単になって、製造工程数が少なくなるとともに、画素のTFTトランジスタにもpMOSトランジスタを採用するならば、ガラス基板の同一平面上に駆動回路一体型TFT-LCDを同時に作成することができ、低コスト化が図れるという利点がある。

【0131】また、本実施の形態に係るドレインドライバ75は、CMOSトランジスタで構成した場合と同様に直流のリーク電流が少なく、低消費電力性を有し、適正な出力レベル、特に、ローレベルの出力を充分低く抑えることができるという利点がある。

【0132】次に、図13は、図11に示すゲートドライバ74をpMOSトランジスタからなる論理回路とインバータ回路とレベル補正回路とを備えたラッチ回路、NOR回路、およびインバータ回路とで構成した部分回路図である。図13に示すゲートドライバ74は、ラッチ回路131、132、133、134……、NOR回路141、142、143、144……、インバータ回路151、152、153、154……、インバータ回

路161、162、163、164……、インバータ回路171、172、173、174……などで構成されている。

【0133】ラッチ回路131、132、133、134……は、図示しないコントローラから入力される垂直同期信号(YSC L)と、反転垂直同期信号(¬YSC L)とが制御信号入力端部(L)と反転制御信号入力端部(¬L)とに1つ置きに逆の位相で入力され、制御信号入力端部(L)に「1」が入ると入力信号をスルーで出力し、「0」が入ると従前の入力信号をラッチする。

【0134】ラッチ回路131への入力信号は、YDクロックが入力され、スルー状態とラッチ状態に応じた出力信号が出力端部(O)と反転出力端部(¬O)から出力され、NOR回路141と次段のラッチ回路132の入力端部に入力される。同様に、ラッチ回路132の出力信号は、NOR回路141とNOR回路142および次段のラッチ回路133の入力端部に入力される。

【0135】そして、NOR回路141は、上記ラッチ回路131の出力(OUT)とラッチ回路132の反転出力(¬OUT)とが入力されて、否定的論理和がインバータ回路151から161、171と連続して入力されてゲートラインG1にゲート信号が出力される。上記と同様の動作により、各インバータ回路172、173、174の出力端部からは、ゲートラインG2、G3、G4に対してそれぞれゲート信号が順次出力される。

【0136】なお、図13は、2ライン分のゲートラインに供給するゲートドライバ74の一部の構成を説明したにすぎず、上記した各回路が垂直方向に配列されたライン数に応じて配列されている。これにより、各ゲートラインを所定の走査方式によってライン走査することにより、それぞれのゲートラインを選択状態、あるいは非選択状態とするものである。

【0137】上記したように、ラッチ回路、NOR回路およびインバータ回路で構成されたゲートドライバ74は、ドレインドライバ75の場合と同様に、pMOSトランジスタとコンデンサだけで構成することができるため、従来例のCMOSトランジスタで構成した場合と比べると、トランジスタ構造が簡単になり、製造工程数を少なくすることができる。特に、画素のTFTトランジスタにpMOSトランジスタを採用すれば、ガラス基板の同一平面上に駆動回路一体型TFT-LCDを作成することができるため、低コスト化が図れる。また、本実施例のゲートドライバ74は、CMOSと同様の低消費電力性と、適正な出力レベル、特に、ローレベルの出力を充分低く抑えることができるという利点がある。

【0138】以上述べたように、同一導電型のMOSトランジスタ(pMOS、nMOS)とコンデンサとを用いて4種類の基本論理回路を構成して、これを組み合わせることにより、あらゆる論理演算が可能な回路を構成

することができ、これらの回路を低コストで製造することができる。また、レベル補正回路を必ず付加したため、同一導電型のMOSトランジスタを用いて構成しても、出力レベルの低下が発生せず、適正な出力レベルが得られる。

【0139】もちろん、上記した同一導電型のMOSトランジスタ(pMOS、nMOS)とコンデンサとを用いて論理回路だけでなく、ラッチ回路やトリステート回路等の基本回路を構成し、これらを組み合わせて用いることにより、上記と同様の効果を得ることができる。

【0140】

【発明の効果】請求項1記載の半導体装置によれば、インバータ回路のMOSトランジスタが同一導電型からなるので、半導体工程を使って基板上にインバータ回路を形成する際のイオンドーピング工程数やマスク枚数が、従来のCMOSトランジスタの場合と比べて少なくなり、製造コストを低減することができる。また、前記インバータ回路は、レベル補正回路を備えているため、インバータ回路の出力端部から常に適正なレベルを出力することができる。

【0141】請求項2～5記載の半導体装置によれば、AND回路、OR回路、EXOR回路の出力段にインバータ回路を設けて論理出力の出力レベルを適正化するとともに、そのインバータ回路のゲート部分にレベル補正回路を設けて、インバータ回路から出力される出力レベルを補正することで、適正な出力レベルが得られる。また、そのAND回路、OR回路、EXOR回路を構成するMOSトランジスタは、同一導電型のみで構成するようにしたため、イオンドーピング工程数やマスク枚数が少なく済み、製造コストを低減することができる。

【0142】請求項6記載の半導体装置によれば、請求項1～請求項5に記載された半導体装置のレベル補正回路は、MOSトランジスタとコンデンサとからなり、インバータ回路のゲート容量を増大させて、インバータ回路を構成するMOSトランジスタのゲート電位の変動を補償する、いわゆる、ブートストラップ法を採用することにより、インバータ回路から適正な出力レベルが得られる。また、そのレベル補正回路は、論理回路やインバータ回路と同じ導電型のMOSトランジスタを用いているため、イオンドーピング工程数やマスク枚数が少なくなり、製造コストを低減することができる。

【0143】請求項7記載の半導体装置は、請求項2～請求項6に記載のインバータ回路が論理回路に対して2組設けられ、その論理回路から出力される逆極性の2つの論理出力に対して前記2組のインバータ回路の各MOSトランジスタのゲートへの接続位置が正反対になるように接続するようにしたので、2組のインバータ回路からの出力が、当該論理回路の論理結果と、その否定とを出力することができる。もちろん、その場合も、同一導電型のMOSトランジスタで構成できるとともに、適正

な出力レベルが得られる。

【図面の簡単な説明】

【図1】第1の実施の形態に係るpMOSインバータ回路の構成を示す図。

【図2】図1のpMOSインバータ回路のシンボルとその入出力信号とを示す図。

【図3】第2の実施の形態に係るAND・NAND回路の構成を示す図。

【図4】図3のAND・NAND回路のシンボルとその入出力信号とを示す図。

【図5】第3の実施の形態に係るOR・NOR回路の構成を示す図。

【図6】図5のOR・NOR回路のシンボルとその入出力信号とを示す図。

【図7】第4の実施の形態に係るEXOR・EXNOR回路の構成を示す図。

【図8】図7のEXOR・EXNOR回路のシンボルとその入出力信号とを示す図。

【図9】第5の実施の形態に係るラッチ回路の構成を示す図。

【図10】交流化電圧を生成するトリステート回路の一構成例を示す図。

【図11】本発明の半導体装置を適用した駆動回路一体型のTFT-LCDの概略構成図。

【図12】図11に示すドレインドライバをpMOSトランジスタからなる論理回路とインバータ回路とレベル補正回路とを備えた上記ラッチ回路、AND・NAND回路、およびトリステート回路とで構成した部分回路図。

【図13】図11に示すゲートドライバをpMOSトランジスタからなる論理回路とインバータ回路とレベル補正回路とを備えたラッチ回路、NOR回路、およびインバータ回路とで構成した部分回路図。

【図14】CMOSインバータ回路の構成を示す図。

【図15】無比率形インバータ回路の構成を示す図。

【符号の説明】

11 pMOSインバータ回路

12、13 インバータ回路

14、15 レベル補正回路

21 AND・NAND回路

22、23 インバータ回路

24、25 レベル補正回路

26 論理回路

31 OR・NOR回路

32、33 インバータ回路

34、35 レベル補正回路

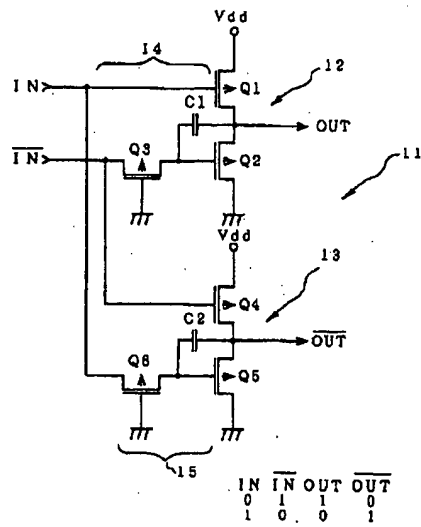
36 論理回路

41 EXOR・EXNOR回路

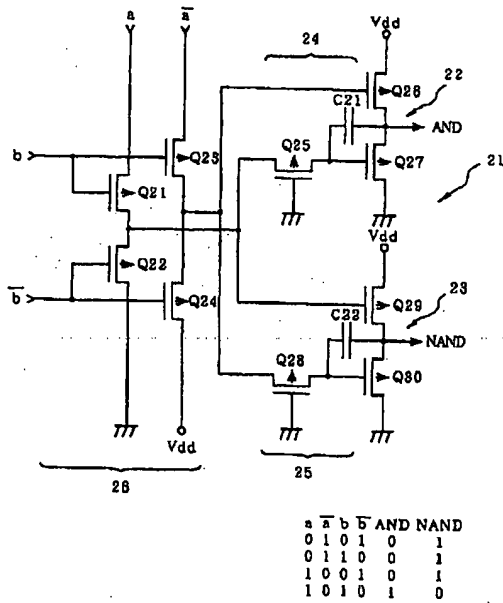
42、43 インバータ回路

44、45 レベル補正回路

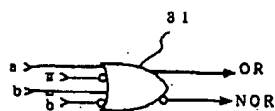
【図1】



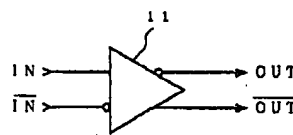
【図3】



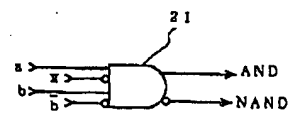
【図6】



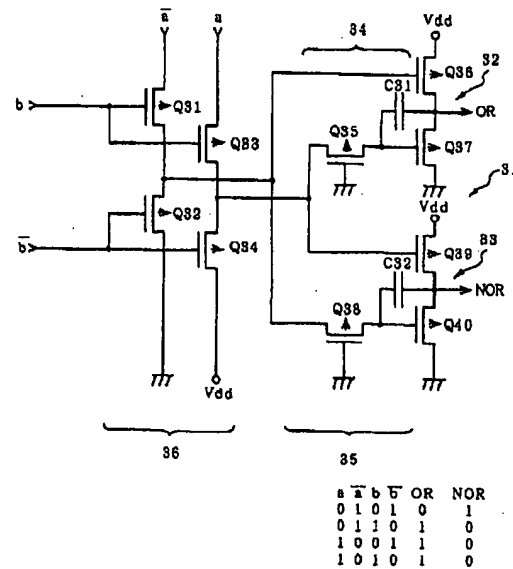
【図2】



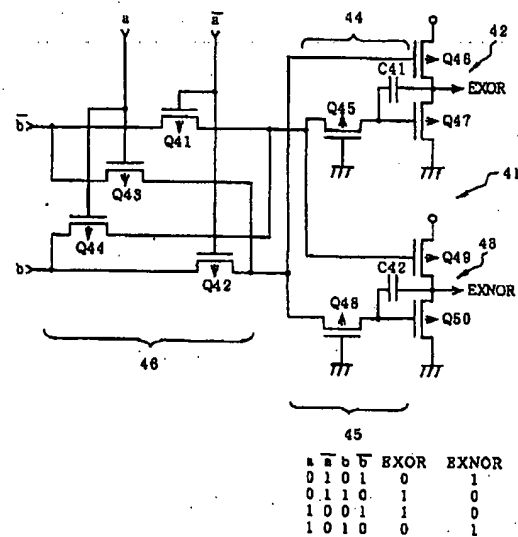
【図4】



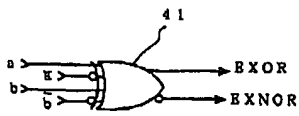
【図5】



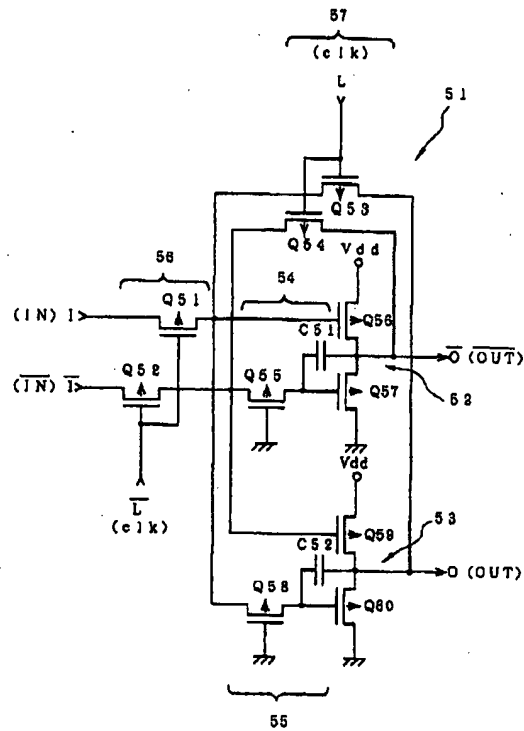
【図7】



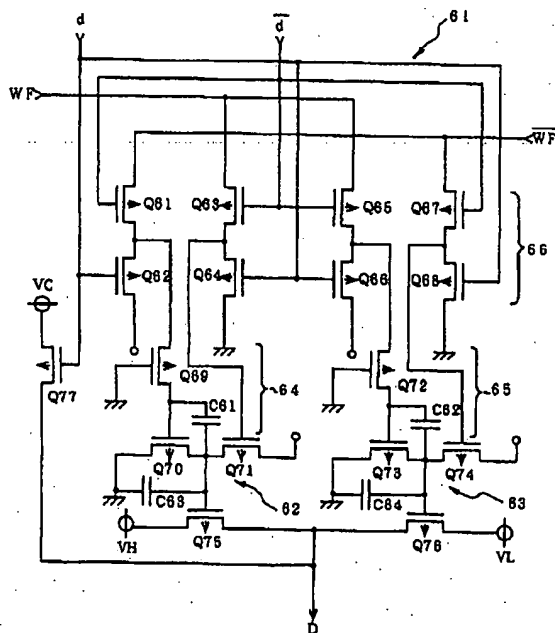
【図8】



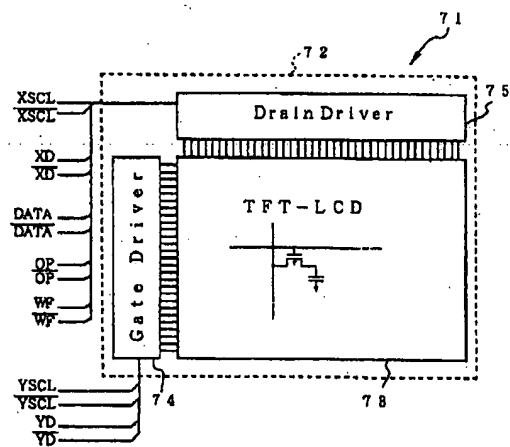
【図9】



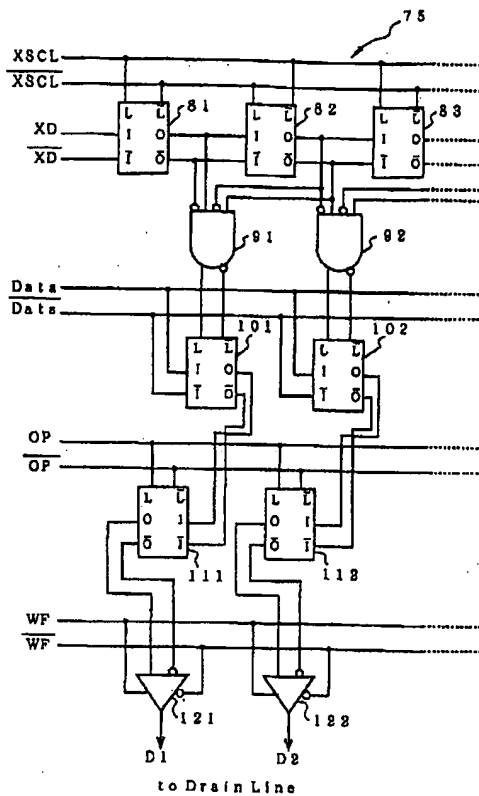
【図10】



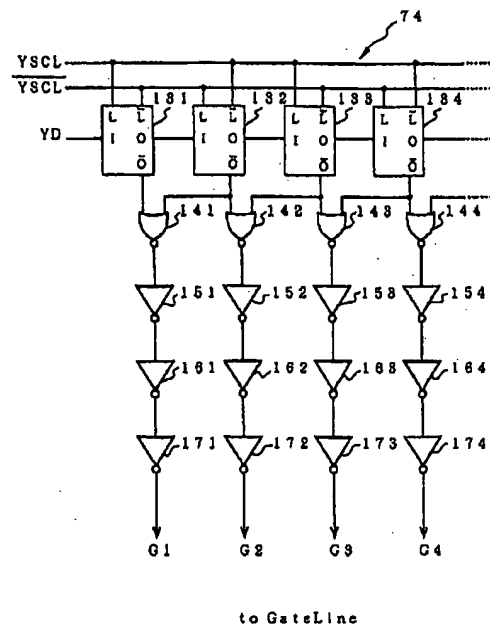
【図11】



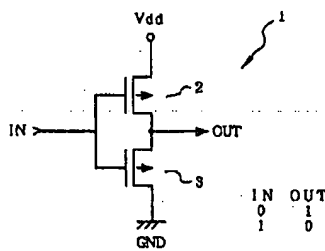
【図12】



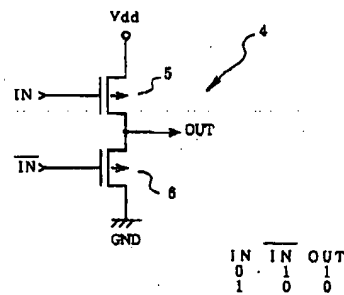
【図13】



【図14】



【図15】



【手続補正書】

【提出日】平成8年4月5日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】半導体装置

【特許請求の範囲】

【請求項1】同一導電型の薄膜トランジスタのソースもしくはドレインを電源からグラウンドに向かって少なくとも2個直列に接続した第1および第2の薄膜トランジスタと、その何れか一方の薄膜トランジスタのゲートに正または

負極性のゲート信号を入力する入力端部と、他方の薄膜トランジスタのゲートに前記入力端部とは逆極性のゲート信号を入力する反転入力端部と、前記第1の薄膜トランジスタと第2の薄膜トランジスタの接続部から前記入力端部または反転入力端部からの入力信号の極性を反転させた出力信号を出力する出力端部と、を備えたインバータ回路からなる半導体装置であって、前記インバータ回路の入力端部と反転入力端部の少なくとも一方とゲートとの間に前記出力端部から出力される出力レベルを補正するレベル補正回路を備えていることを特徴とする半導体装置。

【請求項2】同一導電型の薄膜トランジスタを複数用いて複数の入力に対する論理演算を実行する論理回路と、前記論理回路と同じ導電型の薄膜トランジスタのソースもしくはドレインを電源からグラウンドに向かって少なくとも2個直列に接続し、その2個の薄膜トランジスタの各ゲートに前記論理回路の出力部から論理出力がそれぞれ入力され、直列に接続された2個の薄膜トランジスタの間の接続部の出力端部から論理演算結果を出力するインバータ回路と、

前記論理回路の出力部と前記インバータ回路のゲートとの間に設けられ、前記インバータ回路の出力端部から出力される出力レベルを補正するレベル補正回路と、を備えていることを特徴とする半導体装置。

【請求項3】前記論理回路は、論理積を実行する論理回路を含むことを特徴とする請求項2記載の半導体装置。

【請求項4】前記論理回路は、論理和を実行する論理回路を含むことを特徴とする請求項2記載の半導体装置。

【請求項5】前記論理回路は、排他的論理和を実行する論理回路を含むことを特徴とする請求項2記載の半導体装置。

【請求項6】前記レベル補正回路は、前記インバータ回路と同じ導電型の薄膜トランジスタとコンデンサとで構成され、前記レベル補正回路を構成する薄膜トランジスタが、前記インバータ回路の少なくとも一方の薄膜トランジスタのゲートと入力との間にソースとドレインを介して接続され、前記レベル補正回路を構成するコンデンサの両端が、レベル補正回路の薄膜トランジスタの出力側とゲートとの間と、前記インバータ回路の直列に接続された2個の薄膜トランジスタの間の接続部との間に接続され、前記インバータ回路の薄膜トランジスタのゲート電位の変動を補償することを特徴とする請求項1から請求項5までの何れかに記載の半導体装置。

【請求項7】前記インバータ回路は、前記論理回路に対して2組設けられ、該論理回路から出力される逆極性の2つの論理出力に対して前記2組のインバータ回路の各薄膜トランジスタの

ゲートへの接続位置が正反対になるように接続され、前記2組のインバータ回路からの出力が、当該論理回路の論理結果と、その否定とからなることを特徴とする請求項2から請求項6までの何れかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、詳細には、同じ導電型の薄膜トランジスタからなる半導体装置に関する。

【0002】

【従来の技術】従来の半導体装置、例えば、薄膜トランジスタ(TFT:Thin Film Transistor)などからなる薄膜半導体装置は、AND(論理積)回路、NAND(否定的論理積)回路、OR(論理和)回路、NOR(否定的論理和)回路、EXOR(排他的論理和)回路、EXNOR(否定的排他的論理和)回路、あるいはINV(インバータ:否定)回路などの論理回路や種々の基本回路素子を構成することが可能である。そして、これらの基本回路を組み合わせて構成する装置には、例えば、全ての論理演算を行うことができる演算装置や、液晶表示ディスプレイなどの液晶駆動装置などがある。

【0003】上記したように、半導体装置を用いた従来の論理回路や種々の基本回路素子には、通常、pMOSトランジスタとnMOSトランジスタとを組み合わせたCMOS回路が用いられている。このCMOS回路は、低消費電力であって、適正な出力が得られることなどの利点があり、広く用いられている。

【0004】例えば、図14は、CMOSインバータ回路1の構成を示す図である。図14に示すように、CMOSインバータ回路1は、pMOS2とnMOS3の二種類のトランジスタを対にして用いている。このCMOSインバータ回路1は、IN(入力)が「0」のときにpMOS2がオンして電源(V_{dd})から「1」がOUT(出力)される。また、入力が「1」のときは、nMOS3がオンとなってグラウンドからの「0」が出力される。このように、CMOSインバータ回路1は、入力を反転したものが出力される。

【0005】また、これとは別に、pMOSもしくはnMOSの何れか一方のトランジスタを用いてインバータ回路を構成することも可能である。このインバータ回路には、比率形インバータ回路と無比率形インバータ回路とがあり、さらに、比率形インバータ回路の中には、抵抗負荷形、E/E形、E/D形などがある。

【0006】例えば、図15は、無比率形インバータ回路4の構成を示す図であり、ここでは2個のpMOS5とpMOS6とを使って構成している。この無比率形インバータ回路4は、同じ導電型(ここではp型)のMOSトランジスタで構成しているので、イオンドレーピング工程をCMOSの場合に比べて少なくすることができ、

【0007】上記従来例では、インバータ回路を例にあげて説明したが、これ以外の論理回路として、AND・NAND回路、OR・NOR回路、EXOR・EXNOR回路等を構成する場合もCMOS等が使われていた。

【0008】

【発明が解決しようとする課題】しかしながら、このような従来の半導体装置にあっては、図14に示すCMOSインバータ回路1がpMOS2とnMOS3の二種類のトランジスタから構成されているため、CMOSインバータ回路を製造する際に、pMOSとnMOSの両方を作る必要があり、イオンドーピング工程が増加するとともに、マスク枚数も増えるため、製造コスト高くなるという問題があった。そこで、上記したCMOSを使わずに、pMOSもしくはnMOSの何れか一方のトランジスタのみを用いる無比率形インバータ回路とすることが考えられる。

【0009】しかし、この無比率形インバータ回路4は、図15に示すように、PMOS5のゲートに「0」が入力されると、PMOS5がオンして、電源から「1」が出力される。また、このときPMOS6のゲートには、「1」が入力されるため、PMOS6がオフして、電源からの電流はグラウンド側に流れない。

【0010】逆に、PMOS5のゲートに「1」が入力されると、PMOS5がオフし、また、PMOS6のゲートには、「0」が入力されるため、PMOS6がオンして、グラウンド電位の「0」が出力されるはずである。ところが、この出力されるロー側の「0」は、トランジスタのしきい値電圧分だけ上昇するため、グラウンド電位のように充分低い電位を出力することができないという問題がある。

【0011】そこで、本発明は、上記課題に鑑みてなされたものであって、pMOSあるいはnMOSのように同じ導電型のトランジスタで構成することにより、少ない製造工程で形成できるとともに、高集積化が可能であり、リーク電流が小さく、適正な出力レベルが得られる半導体装置を提供することを目的としている。

【0012】

【課題を解決するための手段】請求項1記載の半導体装置は、同一導電型の薄膜トランジスタのソースもしくはドレインを電源からグラウンドに向かって少なくとも2個直列に接続した第1および第2の薄膜トランジスタと、その何れか一方の薄膜トランジスタのゲートに正または負極性のゲート信号を入力する入力端部と、他方の薄膜トランジスタのゲートに前記入力端部とは逆極性のゲート信号を入力する反転入力端部と、前記第1の薄膜トランジスタと第2の薄膜トランジスタの接続部から前記入力端部または反転入力端部からの入力信号の極性を反転させた出力信号を出力する出力端部と、を備えたインバータ回路からなる半導体装置であって、前記インバータ回路の入力端部と反転入力端部の少なくとも一方と

ゲートとの間に前記出力端部から出力される出力レベルを補正するレベル補正回路を備えていることにより、上記目的を達成する。

【0013】従って、前記インバータ回路の薄膜トランジスタは、同一導電型であって、例えば、pMOSトランジスタのみで構成するようにしたため、半導体工程を使って基板上にインバータ回路を形成する際のイオンドーピング工程数やマスク枚数が、CMOSトランジスタの場合よりも少なくなり、製造コストを低減することができる。もちろん、pMOSトランジスタに代えて、nMOSトランジスタのみで構成することもできる。

【0014】また、前記インバータ回路は、レベル補正回路を備えているため、インバータ回路の出力端部から常に適正なレベルを出力できることから、このインバータ回路を組込んだ回路を構成しても誤動作等が発生せず、信頼性の高い回路とすることができる。

【0015】請求項2記載の半導体装置は、同一導電型の薄膜トランジスタを複数用いて複数の入力に対する論理演算を実行する論理回路と、前記論理回路と同じ導電型の薄膜トランジスタのソースもしくはドレインを電源からグラウンドに向かって少なくとも2個直列に接続し、その2個の薄膜トランジスタの各ゲートに前記論理回路の出力部から論理出力がそれぞれ入力され、直列に接続された2個の薄膜トランジスタの間の接続部の出力端部から論理演算結果を出力するインバータ回路と、前記論理回路の出力部と前記インバータ回路のゲートとの間に設けられ、前記インバータ回路の出力端部から出力される出力レベルを補正するレベル補正回路と、を備えていることにより、上記目的を達成する。

【0016】従って、前記論理演算を実行する論理回路は、その出力段にインバータ回路を設けて論理出力の出力レベルを適正化するとともに、そのインバータ回路のゲート部分にレベル補正回路を設けて、インバータ回路から出力される出力レベルを補正することで、適正な出力レベルが得られることから、この論理回路を組込んだ回路を構成しても誤動作等が発生せず、信頼性の高い回路とすることができる。

【0017】また、上記論理回路を構成する薄膜トランジスタは、同一導電型の、例えば、pMOSトランジスタのみで構成するようにしたため、イオンドーピング工程数やマスク枚数が少なくて済み、製造コストを低減することができる。もちろん、この場合もpMOSトランジスタに代えて、nMOSトランジスタのみで構成することもできる。

【0018】請求項3記載の半導体装置の論理回路は、論理積を実行する論理回路を含むようにしてもよい。従って、論理積を実行する論理回路、すなわち、AND回路では、その出力段にインバータ回路を設けることにより論理積の出力レベルが適正化され、そのインバータ回路のゲート部分にはレベル補正回路を設けて、インバー

タ回路から出力される出力レベルを補正することにより、適正な論理積の出力レベルが得られることから、このAND回路を組込んだ回路を構成しても誤動作等が発生せず、信頼性の高い回路とすることができる。

【0019】請求項4記載の半導体装置の論理回路は、論理和を実行する論理回路を含むようにしてもよい。従って、論理和を実行する論理回路、すなわち、OR回路では、その出力段にインバータ回路を設けることにより論理和の出力レベルが適正化され、そのインバータ回路のゲート部分にはレベル補正回路を設けて、インバータ回路から出力される出力レベルを補正することにより、適正な論理和の出力レベルが得られることから、このOR回路を組込んだ回路を構成しても誤動作等が発生せず、信頼性の高い回路とすることができる。

【0020】請求項5記載の半導体装置の論理回路は、排他的論理和を実行する論理回路を含むようにしてもよい。従って、排他的論理和を実行する論理回路、すなわち、EXOR回路では、その出力段にインバータ回路を設けることにより排他的論理和の出力レベルが適正化され、そのインバータ回路のゲート部分にはレベル補正回路を設けて、インバータ回路から出力される出力レベルを補正することにより、適正な排他的論理和の出力レベルが得られることから、このEXOR回路を組込んだ回路を構成しても誤動作等が発生せず、信頼性の高い回路とすることができる。

【0021】請求項1から請求項5の何れかに記載の半導体装置は、例えば、請求項6に記載されているように、前記レベル補正回路は、前記インバータ回路と同じ導電型の薄膜トランジスタとコンデンサとで構成され、前記レベル補正回路を構成する薄膜トランジスタが、前記インバータ回路の少なくとも一方の薄膜トランジスタのゲートと入力との間にソースとドレインを介して接続され、前記レベル補正回路を構成するコンデンサの両端が、レベル補正回路の薄膜トランジスタの出力側とゲートとの間と、前記インバータ回路の直列に接続された2個の薄膜トランジスタの間の接続部との間に接続され、前記インバータ回路の薄膜トランジスタのゲート電位の変動を補償するようにしてもよい。

【0022】従って、前記レベル補正回路は、インバータ回路のゲート容量を薄膜トランジスタとコンデンサとを使って増大させて、インバータ回路を構成する薄膜トランジスタのゲート電位の変動を補償する、いわゆる、ブートストラップ法を採用することにより、インバータ回路から適正な出力レベルを得ることができる。

【0023】また、前記レベル補正回路は、論理回路やインバータ回路と同じ導電型の、例えば、pMOSトランジスタを用いており、全てのMOSトランジスタを同一導電型に統一することが可能なため、イオンドーピング工程数やマスク枚数が少なくなり、製造コストを低減することができる。もちろん、pMOSトランジスタに

代えて、nMOSトランジスタとしてもよい。

【0024】請求項2から請求項6の何れかに記載の半導体装置は、例えば、請求項7に記載されているように、前記インバータ回路は、前記論理回路に対して2組設けられ、該論理回路から出力される逆極性の2つの論理出力に対して前記2組のインバータ回路の各薄膜トランジスタのゲートへの接続位置が正反対になるように接続され、前記2組のインバータ回路からの出力が、当該論理回路の論理結果と、その否定とからなるようにしてもよい。

【0025】従って、各論理回路は、インバータ回路を1組追加するだけで、AND回路とNAND回路、OR回路とNOR回路、EXOR回路とEXNOR回路の2つの論理回路を合わせ持つことができ、その場合も、同一導電型の薄膜トランジスタで構成できるとともに、適正な出力レベルを得ることができる。

【0026】

【発明の実施の形態】以下、本発明に係る半導体装置の実施の形態を図面に基づいて説明する。図1～図13は、本発明の半導体装置の実施の形態例を示す図であり、ここでは、半導体装置に用いる同一導電型の薄膜トランジスタとしてpMOSトランジスタのみを使って実施したものである。

【0027】(第1の実施の形態)図1は、第1の実施の形態に係るpMOSインバータ回路11の構成を示す図であり、図2は、図1のpMOSインバータ回路11のシンボルとその入出力信号とを示す図である。まず、構成を説明する。図1に示すpMOSインバータ回路11は、2つのインバータ回路12および13とから構成されている。

【0028】インバータ回路12は、電源(V_{dd})からグラウンド(GND)に向かってpMOSトランジスタQ1とQ2のソースもしくはドレインを直列に接続し、pMOSトランジスタQ1のゲートに入力端子(IN)からの入力信号が入力され、pMOSトランジスタQ2のゲートに反転入力端子($\overline{\text{IN}}$)からの入力信号が入力されるように接続されている。そして、本第1の実施の形態の特徴は、pMOSトランジスタQ2のゲート側にゲート電位の変動を補償して出力レベルを補正するレベル補正回路14を付加したことにある。

【0029】このレベル補正回路14は、前記インバータ回路12がpMOSトランジスタのみで構成されていることから、pMOSトランジスタQ2をオンしてグラウンドレベル「0」を出力する際に、出力レベルがトランジスタのしきい値電圧分だけ上昇するため、これを補正することで充分低いグラウンド電位を出力するようにしたものである。具体的には、図1に示すように、pMOSトランジスタQ2のゲートと反転入力端子($\overline{\text{IN}}$)との間に、ゲートがグラウンドに接地されたpMOSトランジスタQ3のソースおよびドレインが接続さ

れ、さらに、そのpMOSトランジスタQ3の出力側と、前記pMOSトランジスタQ1とQ2の接続部との間に、コンデンサC1を接続するようにしたブートストラップ法を採用している。

【0030】このように、レベル補正回路14は、pMOSトランジスタQ3とコンデンサC1とを使うことにより、pMOSトランジスタQ2のゲート容量が大きくなって、pMOSトランジスタQ2を確実にオンさせるためのゲート電位が保持されることから、MOSトランジスタのしきい値電圧分だけ出力レベルが上昇することが無くなり、十分に低いグラウンド電位が出力できるようになった。

【0031】また、インバータ回路13は、インバータ回路12と同様にpMOSトランジスタQ4とQ5とで構成されており、さらに、pMOSトランジスタQ6とコンデンサC2とでレベル補正回路15が構成されている。インバータ回路12と異なる点は、入力端部(IN)と反転入力端部($\overline{\text{IN}}$)とがインバータ回路13のpMOSトランジスタQ4とQ5のゲートに対して逆に接続されていることにある。このため、インバータ回路13の出力は、インバータ回路12から出力される論理の否定が出力される。すなわち、インバータ回路12の出力端部(OUT)からは、入力端部(IN)から入力される信号の極性を反転させた信号が出力され、インバータ回路13の反転出力端部($\overline{\text{OUT}}$)からは、反転入力端部($\overline{\text{IN}}$)から入力される信号の極性を反転させた信号が出力されることになる。

【0032】図1で説明したpMOSインバータ回路11のシンボルは、図2のようになり、その入力端部(IN)から入力される論理の否定が出力端部(OUT)から出力され、また、反転入力端部($\overline{\text{IN}}$)から入力される論理の否定が反転出力端部($\overline{\text{OUT}}$)から出力される。

【0033】また、本第1の実施の形態に係るpMOSインバータ回路11では、インバータ回路12、13と、そのレベル補正回路14、15とに用いるトランジスタをpMOSトランジスタのみで構成したため、半導体工程を使って基板上に複数の薄膜トランジスタからなるインバータ回路を形成する場合、イオンドーピング工程数やマスク枚数が少なくなつて、製造工程が簡略化されることにより、製造コストを低減することができる。

【0034】なお、本実施の形態で使用したpMOSトランジスタは、例えば、トランジスタサイズがL(チャネル長)=4 μm 、W(チャネル幅)=4 μm 、しきい値電圧が-3V、電界効果移動度が40 $\text{cm}^2/\text{V}\cdot\text{S}$ 、ゲート電極容量が $1.22 \times 10^{-11}\text{F}/\text{S}/\text{D}$ (ソース/ドレイン)抵抗が200 Ω 、基板電圧が電源電圧(V_{dd})と等電位のものを使用している。また、基本回路に用いたコンデンサは、0.2pFの容量のものを使用している。

【0035】また、上記したpMOSインバータ回路11では、使用するMOSトランジスタにpMOSトランジスタのみを使って構成したが、これに限定されず、pMOSトランジスタに代えてnMOSトランジスタを用いて回路を構成した場合でも、同様の効果が得られる。

【0036】次に、動作を説明する。pMOSインバータ回路11は、例えば、入力端部(IN)に負論理「0」が入力され、反転入力端部($\overline{\text{IN}}$)に正論理「1」が入力されると、インバータ回路12のpMOSトランジスタQ1がオンして、電源V_{dd}から「1」が出力(OUT)され、pMOSトランジスタQ2はオフする。

【0037】逆に、インバータ回路13は、pMOSトランジスタQ4がオフし、pMOSトランジスタQ5がオンして、反転出力($\overline{\text{OUT}}$)としてグラウンドレベルの「0」が出力される。

【0038】さらに、上記pMOSインバータ回路11において、入力端部(IN)と反転入力端部($\overline{\text{IN}}$)の論理が上記と逆の場合は、出力端部(OUT)側から「0」が出力され、反転出力端部($\overline{\text{OUT}}$)側からは「1」が出力されることになる。このように、本実施の形態のpMOSインバータ回路11は、正論理・負論理の両方が入力および反転入力として入力されると、それらを否定した論理が出力端部および反転出力端部から出力される。

【0039】また、本実施の形態のpMOSインバータ回路11は、インバータ回路12のpMOSトランジスタQ2あるいはインバータ回路13のpMOSトランジスタQ5がオンした場合、グラウンドレベルが出力あるいは反転出力として出力される。このとき、本実施の形態では、図1に示すように、レベル補正回路14および15がpMOSトランジスタQ2およびQ5のゲート側に設けられているため、出力や反転出力としてローレベルを出力する際に、そのローレベルの上昇を防止することが可能となる。従って、本実施の形態のpMOSインバータ回路11は、常に適正なV_{dd}レベルの「1」とグラウンドレベルの「0」とを出力端部あるいは反転出力端部から出力することができる。

【0040】そして、上記した図1のpMOSインバータ回路11をシンボルで書き表したのが図2であり、入力端部(IN)から入力される信号の極性を反転させた信号が出力端部(OUT)から出力され、反転入力端部($\overline{\text{IN}}$)から入力される信号の極性を反転させた信号が反転出力端部($\overline{\text{OUT}}$)から出力される。

【0041】(第2の実施の形態)図3は、第2の実施の形態に係るAND・NAND回路21の構成を示す図であり、図4は、図3のAND・NAND回路21のシンボルとその入出力信号とを示す図である。

【0042】まず、構成を説明する。図3に示すAND・NAND回路21は、インバータ回路22、23と、

レベル補正回路24、25と、論理回路26とで構成されている。

【0043】論理回路26を構成する4個のpMOSトランジスタQ21～Q24は、バス・トランジスタ・ロジックを用いて4つの入力(a、 $\neg a$ 、b、 $\neg b$)に対する論理積とその否定とを生成するものである。すなわち、入力がa、b2つの場合は、その否定である反転a($\neg a$)と反転b($\neg b$)も入力される。そして、aの入力端部とグラウンドとの間には、pMOSトランジスタQ21とQ22とが直列に接続され、また、反転aの入力端部と電源(V_{dd})との間には、pMOSトランジスタQ23とQ24とが直列に接続されている。上記のpMOSトランジスタQ22とQ24のゲートには、bが入力されてスイッチングが行われ、また、pMOSトランジスタQ21とQ23のゲートには、反転bが入力されてスイッチングが行われる。そして、上記した4個のpMOSトランジスタのスイッチングの結果に応じて、pMOSトランジスタQ21とQ22の接続部、およびpMOSトランジスタQ23とQ24の接続部からハイレベル「1」又はローレベル「0」の信号が出力される。

【0044】しかし、論理回路26は、上記のpMOSトランジスタQ21～Q24だけで構成すると、ローレベルを出力する際にトランジスタのしきい値電圧分だけ損失した出力レベルが出力される。このため、本実施の形態のAND・NAND回路21では、論理回路26の出力側にインバータ回路22、23を付加して、論理回路26の出力をインバータ回路22、23のゲートに印加し、各pMOSトランジスタをスイッチングさせることで、電源電位(V_{dd})あるいはグラウンド電位(GND)を出力するようにしたものである。

【0045】しかし、上記インバータ回路22、23は、pMOSトランジスタのみで構成されているため、図3のpMOSトランジスタQ27、30をオンさせてグラウンドレベル「0」を出力する場合、出力レベルがトランジスタのしきい値電圧分だけ上昇する。このため、本実施の形態では、さらにレベル補正回路24、25を設けて出力レベルの補正を行うことにより、十分に低いグラウンド電位を出力するようにしている。

【0046】本第2の実施の形態における具体的なレベル補正回路24の構成は、論理回路26からの一方の出力と、pMOSトランジスタQ27のゲートとの間に、ゲートがグラウンドに接地されたpMOSトランジスタQ25のソースおよびドレインが接続され、さらに、そのpMOSトランジスタQ25の出力側と、前記pMOSトランジスタQ26とQ27の接続部との間に、コンデンサC21を接続したブートストラップ法を採用している。

【0047】このように、レベル補正回路24は、pMOSトランジスタQ25とコンデンサC21とを付加し

たことにより、pMOSトランジスタQ27のゲート容量が大きくなって、pMOSトランジスタQ27が確実にオンするのに必要なゲート電位が保持されることから、MOSトランジスタのしきい値電圧分だけ出力レベルが上昇することが無くなり、十分に低いグラウンド電位に補正して出力することができる。

【0048】また、レベル補正回路25は、レベル補正回路24と同様に、pMOSトランジスタQ28とコンデンサC22とを使うことにより、pMOSトランジスタQ30のゲート容量を大きくして、pMOSトランジスタQ30を確実にオンするのに必要なゲート電位を保持するので、しきい値電圧分だけ出力レベルが上昇することが無くなり、充分低いグラウンド電位に補正して出力することができる。

【0049】上記のように構成されたAND・NAND回路21は、4つの入力(a、 $\neg a$ 、b、 $\neg b$)に対して、インバータ回路22からは論理積(AND)が、インバータ回路23からはその論理積の否定(NAND)が出力される。図3で説明したAND・NAND回路21のシンボルは、図4のようになり、そのa入力端部とb入力端部に対する、AND出力とNAND出力とが出力される。

【0050】また、本実施の形態に係るAND・NAND回路21は、インバータ回路22、23と、そのレベル補正回路24、25と、バス・トランジスタ・ロジックからなる論理回路26に用いるトランジスタをpMOSトランジスタのみで構成したため、半導体工程を使って基板上にAND・NAND回路を形成する場合、イオンドーピング工程数やマスク枚数が少なくなって、製造工程が簡略化されることにより、製造コストを低減することができる。なお、上記AND・NAND回路21では、pMOSトランジスタを使って回路を構成しているが、このpMOSトランジスタの代わりにnMOSトランジスタを使って構成してもよい。

【0051】次に、動作を説明する。入力されるaが「0」(反転aは「1」)で、bが「0」(反転bは「1」)の場合は、図3に示すように、pMOSトランジスタのQ21とQ23がオフし、Q22とQ24がオンするため、インバータ回路22、23のpMOSトランジスタQ26とQ30はオフするが、pMOSトランジスタQ27とQ29がオンして、AND出力が「0」、NAND出力が「1」となる。

【0052】上記と同様に、入力されるaが「0」(反転aは「1」)で、bが「1」(反転bは「0」)の場合は、AND出力が「0」、NAND出力が「1」となる。また、入力されるaが「1」(反転aは「0」)で、bが「0」(反転bは「1」)の場合は、AND出力が「0」、NAND出力が「1」となる。

【0053】さらに、入力されるaが「1」(反転aは「0」)で、bが「1」(反転bは「0」)の場合は、

AND出力が「1」、NAND出力が「0」となる。このように、本実施の形態のAND・NAND回路21は、a、bの入力に対する論理積と否定的論理積とがインバータ回路22、23からそれぞれ出力される。

【0054】そして、本実施の形態のAND・NAND回路21は、インバータ回路22、23のpMOSトランジスタQ27あるいはQ30がオンした場合、グラウンドレベルをAND出力あるいはNAND出力として出力する。このとき、本実施の形態では、図3に示すように、レベル補正回路24および25がpMOSトランジスタQ27およびQ30のゲート側に設けられているため、AND出力やNAND出力としてローレベルを出力する際に、そのローレベルの上昇を防止することができる。従って、本実施の形態に係るAND・NAND回路21は、常に適正なV_{dd}レベルの「1」とグラウンドレベルの「0」とをAND出力あるいはNAND出力として出力することができる。

【0055】そして、上記図3で説明したAND・NAND回路21は、シンボルで書き表すと図4のようになり、2つの入力(a、b)に対して、AND・NAND回路21の出力側から論理積(AND)と、その論理積の否定(NAND)とが出力されている。

【0056】(第3の実施の形態)図5は、第3の実施の形態に係るOR・NOR回路31の構成を示す図であり、図6は、図5のOR・NOR回路31のシンボルとその入出力信号とを示す図である。

【0057】まず、構成を説明する。図5に示すOR・NOR回路31は、インバータ回路32、33と、レベル補正回路34、35と、論理回路36とで構成されている。

【0058】論理回路36を構成する4個のpMOSトランジスタQ31～Q34は、バス・トランジスタ・ロジックを用いて4つの入力(a、 $\neg a$ 、b、 $\neg b$)に対する論理和とその否定とを生成するものである。すなわち、入力がa、b2つの場合は、その否定である反転a($\neg a$)と反転b($\neg b$)も入力される。そして、反転aの入力端部とグラウンドとの間には、pMOSトランジスタQ31とQ32とが直列に接続され、また、aの入力端部と電源(V_{dd})との間には、pMOSトランジスタQ33とQ34とが直列に接続されている。上記のpMOSトランジスタQ32とQ34のゲートには反転bが入力されてスイッチングが行われ、また、pMOSトランジスタQ31とQ33のゲートにはbが入力されてスイッチングが行われる。そして、上記4つのMOSトランジスタのスイッチングの結果に応じて、pMOSトランジスタQ31とQ32の接続部、およびpMOSトランジスタQ33とQ34の接続部からハイレベル「1」又はローレベル「0」の信号が出力される。

【0059】しかし、論理回路36は、上記のpMOSトランジスタQ31～Q34だけで構成すると、ローレ

ベルを出力する際にトランジスタのしきい値電圧分だけ損失した出力レベルが出力される。このため、本実施の形態のOR・NOR回路31では、論理回路36の出力側にインバータ回路32、33を付加して、論理回路36の出力をインバータ回路32、33のゲートに印加し、各pMOSトランジスタをスイッチングさせることで、電源電位(V_{dd})あるいはグラウンド電位(GND)を出力するようにしたものである。

【0060】しかし、上記インバータ回路32、33は、pMOSトランジスタのみで構成されているため、図5のpMOSトランジスタQ37、40をオンさせてグラウンドレベル「0」を出力する場合、出力レベルがトランジスタのしきい値電圧分だけ上昇する。このため、本実施の形態では、さらにレベル補正回路34、35を設けて出力レベルの補正を行うことにより、十分に低いグラウンド電位を出力するようにしている。

【0061】本第3の実施の形態における具体的なレベル補正回路34の構成は、論理回路36からの一方の出力とpMOSトランジスタQ37のゲートとの間に、ゲートがグラウンドに接地されたpMOSトランジスタQ35のソースおよびドレインが接続され、さらに、そのpMOSトランジスタQ35の出力側と、前記pMOSトランジスタQ36とQ37の間の接続部との間にコンデンサC31を接続したブートストラップ法を採用している。

【0062】従って、レベル補正回路34では、pMOSトランジスタQ35とコンデンサC31とを使うことにより、pMOSトランジスタQ37のゲート容量が大きくなって、pMOSトランジスタQ37を確実にオンさせるためのゲート電位が保持されることから、出力レベルがしきい値電圧分だけ上昇することがなくなり、十分に低いグラウンド電位にレベルを補正して出力することができる。

【0063】また、レベル補正回路35では、レベル補正回路34と同様にpMOSトランジスタQ40のゲート容量を大きくして、pMOSトランジスタQ40を確実にオンさせるためのゲート電位が保持されるため、出力レベルが補正されて適正なレベルを出力することができる。

【0064】上記のように構成されたOR・NOR回路31は、4つの入力(a、 $\neg a$ 、b、 $\neg b$)に対して、インバータ回路32からは論理和(OR)が、インバータ回路33からはその論理和の否定(NOR)が出力される。図5で説明したOR・NOR回路31のシンボルは、図6のようになり、そのa入力端部とb入力端部に対する、OR出力とNOR出力とが出力される。

【0065】また、本実施の形態に係るOR・NOR回路31は、インバータ回路32、33と、そのレベル補正回路34、35と、バス・トランジスタ・ロジックからなる論理回路36に用いるトランジスタをpMOSト

ランジスタのみで構成したため、半導体工程を使って基板上にインバータ回路を形成する場合、イオンドーピング工程数やマスク枚数が少なくなつて、製造工程が簡略化されることにより、製造コストを低減することができる。なお、上記OR・NOR回路31では、pMOSトランジスタを使って回路を構成したが、このpMOSトランジスタの代わりにnMOSトランジスタを使って構成してもよい。

【0066】次に、動作を説明する。入力されるaが「0」（反転aは「1」）で、bが「0」（反転bは「1」）の場合は、図5に示すように、pMOSトランジスタのQ32とQ34がオフし、Q31とQ33がオンするため、インバータ回路32、33のpMOSトランジスタQ36とQ40はオフするが、pMOSトランジスタQ37とQ39がオンして、OR出力が「0」、NOR出力が「1」となる。

【0067】上記と同様に、入力されるaが「0」（反転aは「1」）で、bが「1」（反転bは「0」）の場合は、OR出力が「1」、NOR出力が「0」となる。また、入力されるaが「1」（反転aは「0」）で、bが「0」（反転bは「1」）の場合は、OR出力が「1」、NOR出力が「0」となる。

【0068】さらに、入力されるaが「1」（反転aは「0」）で、bが「1」（反転bは「0」）の場合は、OR出力が「1」、NOR出力が「0」となる。このように、本実施の形態のOR・NOR回路31は、a、bの入力に対する論理和がOR出力端部から出力され、それを否定した否定的論理和がNOR出力端部からそれぞれ出力される。

【0069】そして、本実施の形態のOR・NOR回路31は、インバータ回路32、33のpMOSトランジスタQ37あるいはQ40がオンした場合、グラウンドレベルがOR出力あるいはNOR出力として出力する。このとき、本実施の形態では、図5に示すように、レベル補正回路34および35がpMOSトランジスタQ37およびQ40のゲート側に設けられているため、OR出力やNOR出力としてローレベルを出力する際に、そのローレベルの上昇を防止することができる。従って、本実施の形態に係るOR・NOR回路31は、常に適正なV_{dd}レベルの「1」とグラウンドレベルの「0」とをOR出力あるいはNOR出力として出力することができる。

【0070】そして、上記図5で説明したOR・NOR回路31は、シンボルで書き表すと図6のようになり、2つの入力（a、b）に対して、OR・NOR回路31の出力側から論理和（OR）と、その論理和の否定（NOR）とが出力されている。

【0071】（第4の実施の形態）図7は、第4の実施の形態に係るEXOR・EXNOR回路41の構成を示す図であり、図8は、図7のEXOR・EXNOR回路

41のシンボルとその入出力信号とを示す図である。

【0072】まず、構成を説明する。図7に示すEXOR・EXNOR回路41は、インバータ回路42、43と、レベル補正回路44、45と、論理回路46とで構成されている。論理回路46を構成する4個のpMOSトランジスタQ41～Q44は、バス・トランジスタ・ロジックを用いて4つの入力（a、 \neg a、b、 \neg b）に対する排他的論理和（EXOR）とその否定（EXNOR）とを生成するものである。すなわち、入力がa、b 2つの場合は、その否定である反転a（ \neg a）と反転b（ \neg b）も入力される。

【0073】そして、反転bの入力は、pMOSトランジスタQ41を介して次段のレベル補正回路44に入力され、また、bの入力は、pMOSトランジスタQ42を介して次段のレベル補正回路45に入力されるとともに、前記pMOSトランジスタQ41の入力側からpMOSトランジスタQ43を介して前記pMOSトランジスタQ42の出力側に接続され、また、前記pMOSトランジスタQ42の入力側からpMOSトランジスタQ44を介して前記pMOSトランジスタQ41の出力側に接続されている。

【0074】上記のpMOSトランジスタQ41とQ42のゲートには、反転aが入力されてスイッチングを行い、pMOSトランジスタQ43とQ44のゲートには、aが入力されてスイッチングを行うことにより、排他的論理和の論理回路46を構成している。そして、上記MOSトランジスタのスイッチング結果に応じて、レベル補正回路44と45にハイレベル「1」又はローレベル「0」の信号が出力される。

【0075】しかし、論理回路46は、上記のpMOSトランジスタQ41～Q44だけで構成すると、ローレベルを出力する際に、トランジスタのしきい値電圧分だけ損失した出力レベルが出力される。このため、本実施の形態のEXOR・EXNOR回路41では、論理回路46の出力側にインバータ回路42、43を付加して、論理回路46の出力をインバータ回路42、43のゲートに印加し、各pMOSトランジスタをスイッチングさせることで、電源電位（V_{dd}）あるいはグラウンド電位（GND）を出力するようにしたものである。

【0076】しかし、上記インバータ回路32、33は、pMOSトランジスタのみで構成されているため、図7のpMOSトランジスタQ47とQ50をオンさせてグラウンドレベル「0」を出力する場合、出力レベルがトランジスタのしきい値電圧分だけ上昇する。このため、本実施の形態では、さらにレベル補正回路44、45を設けて出力レベルの補正を行うことにより、十分に低いグラウンド電位を出力するようにしている。

【0077】本第4の実施の形態における具体的なレベル補正回路44の構成は、論理回路46からの一方の出力とpMOSトランジスタQ47のゲートとの間に、ゲ

ートがグラウンドに接地されたpMOSトランジスタQ45のソースおよびドレインが接続され、さらに、そのpMOSトランジスタQ45の出力側と、前記pMOSトランジスタQ46とQ47の間の接続部との間にコンデンサC41を接続したブートストラップ法を採用している。

【0078】従って、レベル補正回路44では、pMOSトランジスタQ45とコンデンサC41とを使うことにより、pMOSトランジスタQ47のゲート容量が大きくなって、pMOSトランジスタQ47を確実にオンさせるためのゲート電位が保持されることから、出力レベルがしきい値電圧分だけ上昇することが無くなり、充分に低いグラウンド電位にレベルを補正して出力することができる。

【0079】また、レベル補正回路45では、レベル補正回路44と同様にpMOSトランジスタQ50のゲート容量が大きくなって、pMOSトランジスタQ50を確実にオンさせるためのゲート電位が保持されるため、出力レベルが補正されて適正なレベルを出力することができる。

【0080】上記のように構成されたEXOR・EXNOR回路41は、4つの入力(a、 $\neg a$ 、b、 $\neg b$)に対して、インバータ回路42からは排他的論理和(EXOR)が、インバータ回路43からは否定的排他的論理和(EXNOR)が出力される。

【0081】図7で説明したEXOR・EXNOR回路41のシンボルは、図8のようになり、a入力端部とb入力端部に対する、EXOR出力とEXNOR出力とが出力される。また、本実施の形態に係るEXOR・EXNOR回路41は、インバータ回路42、43と、そのレベル補正回路44、45と、パス・トランジスタ・ロジックからなる論理回路46に用いるトランジスタをpMOSトランジスタのみで構成したため、半導体工程を使って基板上にインバータ回路を形成する場合、イオンドーピング工程数やマスク枚数が少なくなつて、製造工程が簡略化されることにより、製造コストを低減することができる。

【0082】なお、上記EXOR・EXNOR回路41では、pMOSトランジスタを使って回路を構成したが、このpMOSトランジスタの代わりにnMOSトランジスタを使って構成してもよい。

【0083】次に、動作を説明する。入力されるaが「0」(反転aは「1」)で、bが「0」(反転bは「1」)の場合は、図7に示すように、pMOSトランジスタのQ41とQ42がオフし、Q43とQ44がオンするため、インバータ回路42、43のpMOSトランジスタQ36とQ40はオフするが、pMOSトランジスタQ47とQ49がオンして、EXOR出力が「0」、EXNOR出力が「1」となる。

【0084】上記と同様に、入力されるaが「0」(反

転aは「1」)で、bが「1」(反転bは「0」)の場合は、EXOR出力が「1」、EXNOR出力が「0」となる。また、入力されるaが「1」(反転aは「0」)で、bが「0」(反転bは「1」)の場合は、EXOR出力が「1」、EXNOR出力が「0」となる。

【0085】さらに、入力されるaが「1」(反転aは「0」)で、bが「1」(反転bは「0」)の場合は、EXOR出力が「0」、EXNOR出力が「1」となる。このように、本実施の形態のEXOR・EXNOR回路41は、a、bの入力に対する排他的論理和がEXOR出力端部から出力され、それを否定した否定的排他的論理和がEXNOR出力端部からそれぞれ出力される。

【0086】また、本実施の形態のEXOR・EXNOR回路41は、インバータ回路42および43のpMOSトランジスタQ47あるいはpMOSトランジスタQ50がオンした場合、グラウンドレベルがOR出力あるいはNOR出力として出力される。このとき、本実施の形態では、図5に示すように、レベル補正回路44および45がpMOSトランジスタQ47およびQ50のゲート側に設けられているため、EXOR出力やEXNOR出力としてローレベルを出力する際に、そのローレベルの上昇を防止することができる。従って、本実施の形態のEXOR・EXNOR回路41は、常に適正なV_{dd}レベルの「1」とグラウンドレベルの「0」とをEXOR出力あるいはEXNOR出力として出力される。

【0087】そして、上記した図7のEXOR・EXNOR回路41をシンボルで書き表すと図8のようになり、2つの入力(a、b)に対して、EXOR・EXNOR回路41からは排他的論理和(EXOR)と、その排他的論理和の否定(EXNOR)とが出力される。

【0088】以上述べたように、上記第1～第4までの実施の形態では、インバータ回路にレベル補正回路を付加した4種類の基本的な論理回路と、その否定回路の構成を説明したが、これらの論理回路同士を組み合わせることによって、16個のブール代数を全て演算することが可能となる。

【0089】また、インバータ回路にレベル補正回路を付加した上記実施の形態で説明した回路構成は、論理回路以外の基本回路として、例えば、ラッチ回路やトライステート回路等を構成することができる。そこで、以下の第5の実施の形態ではラッチ回路の構成例を、また、第6の実施の形態ではトライステート回路の構成例を説明する。

【0090】(第5の実施の形態)図9は、第5の実施の形態に係るラッチ回路51の構成を示す図である。まず、構成を説明する。図9に示すラッチ回路51は、図1で説明した第1の実施の形態に係るpMOSインバータ回路11の構成に対して、その入力側からの入力信号

を制御する入力信号制御部56と、出力側から入力側に出力信号をフィードバックさせるフィードバック信号制御部57とを加えて構成したものである。

【0091】そこで、図1のpMOSインバータ回路11に相当する部分の構成は、図9に示すように、各pMOSTランジスタではQ1→Q56、Q2→Q57、Q3→Q55、Q4→Q59、Q5→Q60、Q6→Q58にそれぞれ相当し、コンデンサではC1→C51、C2→C52にそれぞれ相当し、2組のインバータ回路52、53とそのレベル補正回路54、55とを構成している。

【0092】そして、上記2組のインバータ回路52、53を構成するpMOSTランジスタの各ゲートと入力端子部(I)および反転入力端子部(¬I)との間には、入力信号を制御する入力信号制御部58が設けられている。この入力信号制御部58は、スイッチング素子であるpMOSTランジスタQ51とQ52とで構成されており、このpMOSTランジスタQ51、Q52のゲートには、スイッチングさせるための反転クロック信号(¬clk)が反転制御信号入力端子部(¬L)から入力される。

【0093】また、インバータ回路52、53の出力側と入力側との間には、フィードバック信号制御部57が設けられ、フィードバックループとpMOSTランジスタQ53、Q54とで構成されている。

【0094】すなわち、インバータ回路52の出力端子部(¬O)からの出力(¬OUT)は、フィードバックループによって上記したpMOSTランジスタQ52のドレイン側に、スイッチング素子であるpMOSTランジスタQ54を介して接続され、また、インバータ回路53の出力端子部(O)からの出力(OUT)は、フィードバックループによって上記したpMOSTランジスタQ51のドレイン側に、スイッチング素子であるpMOSTランジスタQ53を介して接続されている。

【0095】そして、上記したpMOSTランジスタQ53とQ54のゲートには、スイッチングを制御するためのクロック信号(clk)が制御信号入力端子部(L)から入力されるように構成されている。このように、図9に示すラッチ回路51は、図1に示すインバータ回路に4個のpMOSTランジスタQ51~Q54を新たに付加したものである。そして、pMOSTランジスタQ51~Q54は、外部からの反転制御信号入力端子部(¬L)および制御信号入力端子部(L)からの制御信号によって、ラッチ回路51をスルー動作させるかラッチ動作させるかを切換えるものである。

【0096】次に、動作を説明する。図9に示すラッチ回路51は、制御信号入力端子部(L)に入力されるクロック信号(clk)がハイ「1」で、反転制御信号入力端子部(¬L)の反転クロック信号(¬clk)がロー「0」の場合は、スルー状態となり、逆に、制御信号入

力端子部(L)に入力されるクロック信号(clk)がロー「0」で、反転制御信号入力端子部(¬L)の反転クロック信号(¬clk)がハイ「1」の場合は、ラッチ状態となる。

【0097】上記したスルー状態とは、入力端子部(I)からの入力信号(IN)がそのまま出力端子部(O)の出力信号(OUT)として出力され、反転入力端子部(¬I)からの反転入力信号(¬IN)がそのまま反転出力端子部(¬O)の反転出力信号(¬OUT)として出力される状態をいう。また、上記したラッチ状態とは、ラッチ前の出力状態を保持することをいう。

【0098】具体的には、図9に示すように、クロック信号(clk)がハイ「1」で、反転クロック信号(¬clk)がロー「0」の場合は、スルー状態となり、pMOSTランジスタQ53とQ54はオフし、pMOSTランジスタQ51とQ52はオンとなる。

【0099】このため、入力信号(IN)が「0」で、反転入力信号(¬IN)が「1」の場合は、pMOSTランジスタQ57とQ59がオフし、pMOSTランジスタQ56とQ60がオンするため、そのまま出力されるスルー状態となり、出力信号(OUT)に「0」が、反転出力信号(¬OUT)に「1」が出力される。

【0100】次に、クロック信号(clk)がロー「0」で、反転クロック信号(¬clk)がハイ「1」の場合は、ラッチ状態となり、図9のpMOSTランジスタQ53とQ54はオンし、pMOSTランジスタQ51とQ52はオフする。このため、入力端子部(I)と反転入力端子部(¬I)の入力信号に関わりなく、直前のスルー状態における出力信号(OUT)の「0」がpMOSTランジスタQ53を介して、pMOSTランジスタQ56とQ60とをオンさせ、反転出力信号(¬OUT)の「1」がpMOSTランジスタQ54を介して、pMOSTランジスタQ57とQ59とをオフするため、従前の出力状態が保持され、出力信号(IN)が「0」で反転入力信号(¬IN)の「1」がそのまま出力される。

【0101】このように、図9に示すラッチ回路は、4個のpMOSTランジスタQ51~Q54のゲートを外部からの制御信号に従って、スルー動作とラッチ動作の切換えを行っている。

【0102】また、上記実施の形態のラッチ回路51は、図9に示すように、インバータ回路52、53のpMOSTランジスタQ57、Q60のゲート部分に、pMOSTランジスタQ55、Q58とコンデンサC51、C52とからなるレベル補正回路54、55がそれぞれ設けられているため、出力レベルの損失が無くなるとともに、直流的なリーク電流が無くなり、消費電力を低減化することができる。

【0103】さらに、上記実施の形態のラッチ回路51は、使用するMOSTランジスタを全て同一導電型のp

MOSトランジスタで構成したため、半導体工程を用いて基板上に形成する際に、イオンドーピング工程数やマスク枚数が従来のCMOSを使った回路と比べて少くできることから、製造コストを低減することができる。

【0104】なお、上記ラッチ回路51では、pMOSトランジスタで回路を構成したが、これに限定されるものではなく、pMOSトランジスタに代えてnMOSトランジスタで構成してもよい。

【0105】(第6の実施の形態)図10は、交流化電圧を生成するトライステート回路61の一構成例を示す図である。このトライステート回路61は、例えば、液晶駆動装置などで液晶を駆動する際に、液晶に直流電圧を印加すると液晶が劣化することから、交流化された駆動電圧を生成する場合などに用いられる。

【0106】まず、構成を説明する。図10に示すように、pMOSトランジスタQ61~Q68は、d、反転d(¬d)、WF、反転WF(¬WF)の4つの入力信号に基づいて、所定の論理を生成する論理回路66を構成している。そして、このトライステート回路61は、d、WFそれぞれに正論理・負論理を入力することにより、3種類の電源電圧VH、VC、VLを切換えて生成される交流化電圧が出力Dから出力するものである(但し、 $VH > VC > VL$)。ここでは、上記した実施の形態と同様にパス・トランジスタ・ロジックの手法を用いている。

【0107】そして、例えば、このトライステート回路61を液晶駆動装置に用いる場合は、上記入力信号のdが書き込みデータの有り/無し、すなわち、液晶を駆動するか/しないかを表し、WFが液晶駆動電圧の正/負を表すように用いることができる。

【0108】次に、論理回路66の出力側には、インバータ回路62、63が形成されている。例えば、このインバータ回路62は、電源(Vdd)からグラウンド(GND)に向かって、pMOSトランジスタQ71とQ70のソースもしくはドレインが直列に接続されていて、論理回路66からの出力がpMOSトランジスタQ71、Q70のゲートに入力されている。そして、本実施の形態では、インバータ回路62のpMOSトランジスタQ70のゲートと、論理回路66の所定の出力端部との間にゲートをグラウンドに接地したpMOSトランジスタQ69が接続され、そのpMOSトランジスタQ69の出力側と前記pMOSトランジスタQ71とQ70との接続部の間にコンデンサC61を接続してレベル補正回路64を構成している。

【0109】また、インバータ回路63は、上記したインバータ回路62と同様にpMOSトランジスタQ74、Q73で構成されるとともに、レベル補正回路65がpMOSトランジスタQ72とコンデンサC62とで構成されている。このように、インバータ回路62、63のpMOSトランジスタのゲートには、レベル補正回

路64、65が設けられたことにより、pMOSトランジスタQ70またはQ73のゲート容量が増大して確実にスイッチングが行われて、適正なローレベル「L」の信号を出力することができる。

【0110】そして、本実施の形態に係るトライステート回路61は、上記したインバータ回路62、63からの出力信号をpMOSトランジスタQ75、Q76のゲートにそれぞれ印加してスイッチングさせることにより、高電位の電源電圧VH、あるいは、低電位の電源電圧VLを選択的に出力端部Dから出力するとともに、中間電位の電源電圧VCは、pMOSトランジスタQ77がd入力によってスイッチングされて出力される。

【0111】本実施の形態では、上記構成に加えて、さらに、pMOSトランジスタQ75のゲートとグラウンドとの間にコンデンサC63を介して接続され、また、pMOSトランジスタQ76のゲートとグラウンドとの間にコンデンサC64を介して接続されている。このため、高電位(VH)と低電位(VL)の電源電圧に接続されたpMOSトランジスタQ75、Q76は、ゲート容量が増大することから、pMOSトランジスタQ75、Q76を確実にスイッチングすることが可能となり、電圧の上昇や電圧降下の無い適正なレベルの電源電圧VH、VLが出力される。

【0112】このように、本実施の形態のトライステート回路61は、論理回路66の出力側にインバータ回路62、63を設けたことにより、論理回路66の出力レベルが適正化される。特に、そのインバータ回路62、63がpMOSトランジスタで構成されている場合は、グラウンド側のpMOSトランジスタQ70やQ73側に、pMOSトランジスタQ69あるいはQ72と、コンデンサC61あるいはC62からなるレベル補正回路64、65を設けることにより、pMOSトランジスタのしきい値電圧分だけ出力レベルが上昇することを防止することができる。さらに、本実施の形態に係るトライステート回路61は、上記インバータ回路62、63の出力が高電位(VH)と低電位(VL)の電源電圧に接続されたpMOSトランジスタQ75、Q76をスイッチングさせて選択出力するため、それらのゲート側にコンデンサC63、C64を設けてゲート容量を増大させ、適正なレベルの電源電圧VH、VLを出力するものである。

【0113】次に、動作について説明する。図10に示すトライステート回路61は、dとWFのそれぞれに正論理・負論理の何れかを入力することにより、DからVH、VC、VLの何れかが選択的に出力される。実際には、入力d、WFを変化させることによって、VH、VC、VLからなる交流化信号が生成される。

【0114】まず、入力信号のdとWFが「0」の場合は、pMOSトランジスタQ75、Q76がオフとなり、pMOSトランジスタQ77がオンするため、Dか

ら中間電位 (Vc) が出力される。また、入力信号の d が「0」で、WF が「1」の場合も上記と同様に D から中間電位 (Vc) が出力される。これは、d が「0」の場合は、論理回路 6 6 の pMOS トランジスタ Q 6 1、Q 6 3、Q 6 5、Q 6 7 がオフするため、WF の入力信号に影響されことなく pMOS トランジスタ Q 7 7 をオンして、D から Vc が出力されることによる。

【0115】また、入力信号の d が「1」の場合は、スイッチングトランジスタの Q 7 7 がオフし、論理回路 6 6 の pMOS トランジスタ Q 6 2、Q 6 4、Q 6 6、Q 6 8 がオフするとともに、逆に、pMOS トランジスタ Q 6 1、Q 6 3、Q 6 5、Q 6 7 がオンする。このため、WF の入力信号に基づいて D からの出力電圧が変化する。

【0116】そこで、WF が「0」の場合は、pMOS トランジスタ Q 7 6 がオンして Q 7 5 がオフするため、D から低電位 (VL) が出力される。また、WF が「1」の場合は、pMOS トランジスタ Q 7 5 がオンして Q 7 6 がオフするため、D から高電位 (VH) が出力される。

【0117】このように、本実施の形態のトライステート回路 6 1 は、pMOS トランジスタとコンデンサだけで構成できることから、構造が簡単となり、少ない工程数で製造できるため、低コスト化が図れる。

【0118】また、上記実施の形態のトライステート回路 6 1 は、インバータ回路 6 2、6 3 とレベル補正回路 6 4、6 5 とを用いることにより、pMOS トランジスタ Q 6 1 ~ Q 6 8 で構成された論理回路 6 6 の出力レベルを補正するとともに、コンデンサ C 6 3、C 6 4 を設けて pMOS トランジスタ Q 7 5、Q 7 6 を確実にスイッチングさせることにより、適正なレベルの電源電圧 VH、VL を選択的に出力することができる。特に、pMOS トランジスタで構成されている場合は、ローレベルの出力電圧である VL が充分下がりきらないという問題を解決することができ、常に所定の電位まで確実に下がった状態の電圧レベルを出力することができるようになった。

【0119】なお、上記トライステート回路 6 1 では、pMOS トランジスタを使って回路構成したが、この pMOS トランジスタの代わりに nMOS トランジスタを使って構成してもよい。

【0120】(第 7 の実施の形態) 図 11 は、本発明の半導体装置を適用した駆動回路一体型の TFT-LCD 71 の概略構成図である。この駆動回路一体型 TFT-LCD 71 は、LCD (Liquid Crystal Display) の表示領域において、ガラス基板上の各画素毎にスイッチング素子となる薄膜トランジスタを形成するとともに、ドレインドライバ (データ線駆動回路) やゲートドライバ (走査線駆動回路) からなる液晶駆動回路をガラス基板上に一体形成したものである。

【0121】まず、構成を説明する。図 11 に示すように、駆動回路一体型 TFT-LCD 71 は、ガラス基板 72 上の表示領域内の各画素毎に TFT を形成する液晶表示パネル (TFT-LCD) 73 と、その液晶表示パネル 73 の各 TFT のゲートに走査信号を印加して選択状態と非選択状態とを作り出すゲートドライバ 74 と、そのゲートドライバ 74 によって選択状態にした TFT に表示信号を印加して各画素毎の液晶を駆動するドレインドライバ 75 とで構成されている。

【0122】上記した液晶表示パネル 73、ゲートドライバ 74 およびドレインドライバ 75 は、ガラス基板 72 上に一体形成されている。図 12 は、図 11 に示すドレインドライバ 75 を pMOS トランジスタからなる論理回路とインバータ回路とレベル補正回路とを備えた上記ラッチ回路、AND・NAND 回路、およびトライステート回路とで構成した部分回路図である。

【0123】図 12 に示すドレインドライバ 75 は、ラッチ回路 8 1、8 2、8 3……、AND・NAND 回路 9 1、9 2……、ラッチ回路 10 1、10 2……、ラッチ回路 11 1、11 2、……、トライステート回路 12 1、12 2……などで構成されている。

【0124】ラッチ回路 8 1、8 2、8 3 は、図示しないコントローラから入力される水平同期信号 (XSC L) と、反転水平同期信号 ($\overline{\text{XSC L}}$) とが制御信号入力端部 (L) と反転制御信号入力端部 ($\overline{\text{L}}$) とに 1 つ置きに逆の位相で入力されて、制御信号入力端部 (L) に「1」が入ると入力信号をスルーで出力し、「0」が入ると従前の入力信号をラッチする。

【0125】ラッチ回路 8 1 への入力信号は、XD クロックと反転 XD クロックが入力され、スルー状態とラッチ状態に応じた出力信号が出力端部 (O) と反転出力端部 ($\overline{\text{O}}$) から出力され、AND・NAND 回路 9 1 と次段のラッチ回路 8 2 の入力端部に入力される。同様に、ラッチ回路 8 2 の出力信号は、AND・NAND 回路 9 1 と 9 2 および次段のラッチ回路 8 3 の入力端部に入力される。

【0126】そして、AND・NAND 回路 9 1 は、上記ラッチ回路 8 1 の出力 (OUT) とラッチ回路 8 2 の反転出力 ($\overline{\text{OUT}}$) とを入力して、論理積とその否定とをラッチ回路 10 1 の制御信号入力端部 (L) と反転制御信号入力端部 ($\overline{\text{L}}$) とに入力する。AND・NAND 回路 9 2 も同様に、ラッチ回路 8 2 の反転出力 ($\overline{\text{OUT}}$) とラッチ回路 8 3 の出力 (OUT) とが入力されて、論理積とその否定とがラッチ回路 10 2 の制御信号入力端部 (L) と反転制御信号入力端部 ($\overline{\text{L}}$) に入力される。

【0127】ラッチ回路 10 1 とラッチ回路 10 2 は、上記した AND・NAND 回路 9 1 と 9 2 からの出力信号のタイミングに応じて、図示しないデータ変換回路から入力される各画素毎のデータをラッチし、そのラッチ

したデータをそれぞれ次段のラッチ回路111と112に出力する。ラッチ回路111と112は、クロックOPのタイミングで入力された各画素毎のデータをラッチして、その出力をそれぞれのトライステート回路121と122に出力する。

【0128】トライステート回路121と122は、上記したラッチ回路111と112からの入力信号と、交流化信号WFとの組み合わせによって、VH、VC、VLからなる3種類の電源電圧を適宜選択することにより、交流化された表示信号が生成される。トライステート回路121から出力される交流化された表示信号は、ドレインラインのD1に出力され、トライステート回路122から出力される交流化された表示信号は、ドレインラインのD2に出力される。

【0129】なお、図12は、2ライン分のドレインラインに供給するドレインドライバ75の一部の構成を説明したにすぎず、実際には上記各回路が水平走査方向に画素数に応じて連なって配置されている。これにより、各ドレインラインには、その位置に応じた表示信号を供給することができる。

【0130】上記したように、ラッチ回路、AND・NAND回路およびトライステート回路で構成されたドレインドライバ75は、pMOSトランジスタとコンデンサだけで構成することが可能なため、従来例のCMOSトランジスタで構成した場合と比べると、トランジスタ構造が簡単になって、製造工程数が少なくなるとともに、画素のTFTトランジスタにもpMOSトランジスタを採用するならば、ガラス基板の同一平面上に駆動回路一体型TFT-LCDを同時に作成することができ、低コスト化が図れるという利点がある。

【0131】また、本実施の形態に係るドレインドライバ75は、CMOSトランジスタで構成した場合と同様に直流のリーク電流が少なく、低消費電力性を有し、適正な出力レベル、特に、ローレベルの出力を充分低く抑えることができるという利点がある。

【0132】次に、図13は、図11に示すゲートドライバ74をpMOSトランジスタからなる論理回路とインバータ回路とレベル補正回路とを備えたラッチ回路、NOR回路、およびインバータ回路とで構成した部分回路図である。図13に示すゲートドライバ74は、ラッチ回路131、132、133、134……、NOR回路141、142、143、144……、インバータ回路151、152、153、154……、インバータ回路161、162、163、164……、インバータ回路171、172、173、174……などで構成されている。

【0133】ラッチ回路131、132、133、134……は、図示しないコントローラから入力される垂直同期信号(YSCL)と、反転垂直同期信号(\neg YSCL)とが制御信号入力端子(L)と反転制御信号入力端子

部(\neg L)とに1つ置きに逆の位相で入力され、制御信号入力端子(L)に「1」が入ると入力信号をスルーで出力し、「0」が入ると従前の入力信号をラッチする。

【0134】ラッチ回路131への入力信号は、YDクロックが入力され、スルー状態とラッチ状態に応じた出力信号が出力端子(O)と反転出力端子(\neg O)から出力され、NOR回路141と次段のラッチ回路132の入力端子に入力される。同様に、ラッチ回路132の出力信号は、NOR回路141とNOR回路142および次段のラッチ回路133の入力端子に入力される。

【0135】そして、NOR回路141は、上記ラッチ回路131の出力(OUT)とラッチ回路132の反転出力(\neg OUT)とが入力されて、否定的論理和がインバータ回路151から161、171と連続して入力されてゲートラインG1にゲート信号が出力される。上記と同様の動作により、各インバータ回路172、173、174の出力端子からは、ゲートラインG2、G3、G4に対してそれぞれゲート信号が順次出力される。

【0136】なお、図13は、2ライン分のゲートラインに供給するゲートドライバ74の一部の構成を説明したにすぎず、上記した各回路が垂直方向に配列されたライン数に応じて配列されている。これにより、各ゲートラインを所定の走査方式によってライン走査することにより、それぞれのゲートラインを選択状態、あるいは非選択状態とするものである。

【0137】上記したように、ラッチ回路、NOR回路およびインバータ回路で構成されたゲートドライバ74は、ドレインドライバ75の場合と同様に、pMOSトランジスタとコンデンサだけで構成することができるため、従来例のCMOSトランジスタで構成した場合と比べると、トランジスタ構造が簡単になり、製造工程数を少なくすることができる。特に、画素のTFTトランジスタにpMOSトランジスタを採用すれば、ガラス基板の同一平面上に駆動回路一体型TFT-LCDを作成することができるため、低コスト化が図れる。また、本実施例のゲートドライバ74は、CMOSと同様の低消費電力性と、適正な出力レベル、特に、ローレベルの出力を充分低く抑えることができるという利点がある。

【0138】以上述べたように、同一導電型のMOSTトランジスタ(pMOS、nMOS)とコンデンサとを用いて4種類の基本論理回路を構成して、これを組み合わせることにより、あらゆる論理演算が可能な回路を構成することができ、これらの回路を低コストで製造することができる。また、レベル補正回路を必ず付加したため、同一導電型のMOSTトランジスタを用いて構成しても、出力レベルの低下が発生せず、適正な出力レベルが得られる。

【0139】もちろん、上記した同一導電型のMOSTトランジスタ(pMOS、nMOS)とコンデンサとを用

いて論理回路だけでなく、ラッチ回路やトライステート回路等の基本回路を構成し、これらを組み合わせて用いることにより、上記と同様の効果を得ることができる。

【0140】

【発明の効果】請求項1記載の半導体装置によれば、インバータ回路の薄膜トランジスタが同一導電型からなるので、半導体工程を使って基板上にインバータ回路を形成する際のイオンドーピング工程数やマスク枚数が、従来のCMOSトランジスタの場合と比べて少なくなり、製造コストを低減することができる。また、前記インバータ回路は、レベル補正回路を備えているため、インバータ回路の出力端部から常に適正なレベルを出力することができる。

【0141】請求項2～5記載の半導体装置によれば、AND回路、OR回路、EXOR回路の出力段にインバータ回路を設けて論理出力の出力レベルを適正化するとともに、そのインバータ回路のゲート部分にレベル補正回路を設けて、インバータ回路から出力される出力レベルを補正することで、適正な出力レベルが得られる。また、そのAND回路、OR回路、EXOR回路を構成する薄膜トランジスタは、同一導電型のみで構成するようにしたため、イオンドーピング工程数やマスク枚数が少なく済み、製造コストを低減することができる。

【0142】請求項6記載の半導体装置によれば、請求項1～請求項5に記載された半導体装置のレベル補正回路は、薄膜トランジスタとコンデンサとからなり、インバータ回路のゲート容量を増大させて、インバータ回路を構成する薄膜トランジスタのゲート電位の変動を補償する、いわゆる、ブートストラップ法を採用することにより、インバータ回路から適正な出力レベルが得られる。また、そのレベル補正回路は、論理回路やインバータ回路と同じ導電型の薄膜トランジスタを用いているため、イオンドーピング工程数やマスク枚数が少なくなり、製造コストを低減することができる。

【0143】請求項7記載の半導体装置は、請求項2～請求項6に記載のインバータ回路が論理回路に対して2組設けられ、その論理回路から出力される逆極性の2つの論理出力に対して前記2組のインバータ回路の各薄膜トランジスタのゲートへの接続位置が正反対になるように接続するようにしたので、2組のインバータ回路からの出力が、当該論理回路の論理結果と、その否定とを出力することができる。もちろん、その場合も、同一導電型の薄膜トランジスタで構成できるとともに、適正な出力レベルが得られる。

【図面の簡単な説明】

【図1】第1の実施の形態に係るpMOSインバータ回路の構成を示す図。

【図2】図1のpMOSインバータ回路のシンボルとその入出力信号とを示す図。

【図3】第2の実施の形態に係るAND・NAND回路の構成を示す図。

【図4】図3のAND・NAND回路のシンボルとその入出力信号とを示す図。

【図5】第3の実施の形態に係るOR・NOR回路の構成を示す図。

【図6】図5のOR・NOR回路のシンボルとその入出力信号とを示す図。

【図7】第4の実施の形態に係るEXOR・EXNOR回路の構成を示す図。

【図8】図7のEXOR・EXNOR回路のシンボルとその入出力信号とを示す図。

【図9】第5の実施の形態に係るラッチ回路の構成を示す図。

【図10】交流化電圧を生成するトライステート回路の一構成例を示す図。

【図11】本発明の半導体装置を適用した駆動回路一体型のTFT-LCDの概略構成図。

【図12】図11に示すドレインドライバをpMOSTランジスタからなる論理回路とインバータ回路とレベル補正回路とを備えた上記ラッチ回路、AND・NAND回路、およびトライステート回路とで構成した部分回路図。

【図13】図11に示すゲートドライバをpMOSTランジスタからなる論理回路とインバータ回路とレベル補正回路とを備えたラッチ回路、NOR回路、およびインバータ回路とで構成した部分回路図。

【図14】CMOSインバータ回路の構成を示す図。

【図15】無比率形インバータ回路の構成を示す図。

【符号の説明】

11	pMOSインバータ回路
12、13	インバータ回路
14、15	レベル補正回路
21	AND・NAND回路
22、23	インバータ回路
24、25	レベル補正回路
26	論理回路
31	OR・NOR回路
32、33	インバータ回路
34、35	レベル補正回路
36	論理回路
41	EXOR・EXNOR回路
42、43	インバータ回路
44、45	レベル補正回路
46	論理回路